

## 明細書

オフセット波形を用いたプラズマディスプレイパネルの駆動回路

5

## 技術分野

本発明は、プラズマディスプレイパネル（以後「PDP」と記す）の駆動回路に関し、さらに詳しくは、サスティン放電の際に表示電極に印加する電圧パルスにオフセット電圧を重畠するようにしたPDPの駆動回路に関する。PDPは薄型大画面という特徴を持ち、テレビ、公衆表示モニターとして商品化されている。

## 背景技術

PDPとして、AC型3電極面放電形式のPDPが広く知られている。このPDPは、前面側（表示面側）の基板の内側面に面放電が可能な表示電極を水平方向に多数設け、背面側の基板の内側面に多数の選択用電極（アドレス電極やデータ電極とも呼ばれる）を垂直方向に設ける。そして、前面側の基板と背面側の基板を対向配置して周辺を封止し、内部に放電空間を形成して、表示電極とアドレス電極との交差部をセルとするものである。

表示電極は、発光させるべきセルを選択する際に用いるY電極と、全てのセルに同じ電圧を印加するためのX電極とを交互

に配置した構成となっている。

この構造の P D P では、階調表示のため、一般にアドレス・表示分離方式と呼ばれる駆動方式で表示が行われている。すなわち、1 フレームを、重み付けをした複数のサブフィールドに分割し、各サブフィールドを、発光させるべきセルを選択するアドレス期間と、選択したセルを発光させるサスティン期間とで構成する。  
5

そして、表示の際には、Y 電極をスキャン電極として用いて画面の走査を行い、その間に所望のアドレス電極に電圧（一般 10 に「アドレス電圧」と呼ばれる）を印加して、表示電極とアドレス電極との間でアドレス放電を発生させて、発光させるべきセル内に電荷を形成する。次に、X 電極と Y 電極に表示用の電圧（一般に「サスティン電圧」と呼ばれる）を交互に印加して、X, Y 電極間で重み付けの回数だけサスティン放電を継続する 15 ことで、表示を行うようにしている。

このサスティン放電の際に印加する電圧の波形は、図 27 に示したような矩形波を用い、この矩形波を交互に印加する方法が一般的であるが、この変形例として、駆動マージンを広げる目的あるいは発光効率を向上させる目的で、図 28 に示したオ 20 フセット波形が用いられることがある。

このオフセット波形は、矩形波にオフセット電圧を重畠した電圧波形であり、例えば特開昭 52-150941 号公報、特開昭 52-150940 号公報、特開昭 50-39024 号公報、特開平 3-259183 号公報、特開平 4-267293

号公報等により知られている。

また、それらのオフセット波形を形成するための回路が特開  
2001-13919号公報などに示されている。この回路は  
図29に示すような回路である。以下、このオフセット波形を  
5 形成するための回路について説明する。

図29の回路において、コンデンサCはPDPのパネル容量  
である。抵抗Rは配線抵抗である。インダクタンサーL1はコ  
ンデンサCとで共振回路を構成するためのものである。電圧V  
oはオフセット電圧を印加するためのものであり、電圧Vsは  
10 矩形波を印加するためのものである。スイッチSW1は電圧V  
oの印加タイミングを制御するためのものであり、スイッチS  
W2は電圧Vsの印加タイミングを制御するためのものである。

図30はスイッチSW1とスイッチSW2のスイッチタイミ  
ングを示す説明図である。

15 図中、t1は波形の立ち上がり開始時間を、t2は最大電圧  
となる時間を、t3は電圧がVsになる時間を、それぞれ示し  
ている。

最大の発光効率が得られる条件は、電圧が最大の状態で放電  
が開始されることであり、放電の開始時間をtfとした場合、  
20 tf = t2となる一瞬のみが最適値である。

最適値から外れた例を図31および図32に示す。

図31はtf > t3の場合のタイミング図で、この場合、放  
電は電圧Vsで発生するため、オフセット波形を印加せずに、  
通常の矩形波形を印加した場合と発光効率は同等であり、tf

= t<sub>2</sub> の場合と比較して、発光効率は低下する。

また、図32は t<sub>f</sub> < t<sub>3</sub> の場合のタイミング図で、この場合、波形の立ち上がり途中で放電が開始され、放電による電圧ドロップによって十分な電圧がかかることなく放電が行われる。

5 このため、t<sub>f</sub> = t<sub>2</sub> の場合と比較して、発光効率は低下する。

なお、t<sub>2</sub> > t<sub>f</sub> > t<sub>3</sub> の場合、発光効率は t<sub>f</sub> = t<sub>2</sub> の場合を最高として、放電開始時間 t<sub>f</sub> が遅くなるほど発光効率が低下する。

以上説明した通り、オフセット電圧を利用するプラズマディスプレイにおいては、オフセット波形の印加タイミングと放電開始時間との関係には、最適範囲が存在し、この関係が適切でない場合には発光効率が低下する。

このオフセット波形の印加タイミングと放電開始時間との関係について、従来の回路では、オフセット波形の上昇タイミングと下降タイミングが L C 共振の時定数に依存し、調整が難しいという問題があった。また、放電開始時間 t<sub>f</sub> は、表示状態によって変動するプライミング粒子量に依存して変動するため、従来の回路では、動作が不安定になるという問題があった。

本発明は、このような事情を考慮してなされたもので、オフセット電圧波形の上昇タイミングと下降タイミングを放電タイミングに合わせて任意に調整する機構を付加することで、プラズマディスプレイパネルの発光効率を向上させることを目的とするものである。

## 発明の開示

本発明は、多数のセルを有し、各セルには一対の表示電極が設けられ、それらの表示電極が誘電体層によって被覆されたプラズマディスプレイパネルの駆動回路であって、駆動回路が、  
5 発光させるべきセルを選択するスキャン回路と、選択したセルの表示電極間にサスティン電圧を印加して、輝度に応じた回数だけ表示電極間でサスティン放電を発生させるサスティン電圧印加回路を有し、サスティン電圧印加回路が、所定波形のサスティンパルスを発生させるサスティンパルス発生回路と、サス  
10 ティンパルスよりも波高値の高いオフセットパルスを発生させるオフセットパルス発生回路とを並列に接続した回路からなり、オフセットパルス発生回路が、オフセット電圧印加用の第1電圧源と、第1電圧を表示電極間に印加する第1スイッチング回路と、オフセット電圧印加用の共振電圧を発生させるインダク  
15 タンス成分と、表示電極に流す電流を順方向に規制して共振電圧の電位をサスティン電圧よりも高いレベルに一定時間保持する順方向ダイオードから構成され、サスティンパルス発生回路が、サスティン電圧印加用の第2電圧源と、第2電圧を表示電極間に印加する第2スイッチング回路から構成されてなるプラ  
20 ズマディスプレイパネルの駆動回路である。

本発明によれば、オフセットパルス発生回路に、共振電圧の電位をサスティン電圧よりも高いレベルに一定期間保持する順方向ダイオードを設けたので、第1および第2スイッチング回路のスイッチングの時期を適切に設定することにより、オフセ

ットパルスの電位を任意の期間保持させることができる。したがって、表示電極に印加する電圧が最大の状態（オフセットパルスが印加されている状態）で放電が開始されるようにすることができ、これにより表示電極間の放電を高い発光効率で発生させることができる。  
5

### 図面の簡単な説明

図 1 は本発明の駆動回路を適用する P D P の構成を示す部分分解斜視図であり、

10 図 2 は P D P を平面的に見た状態を示す説明図であり、

図 3 は駆動装置の配置を示す説明図であり、

図 4 は駆動装置のブロック図であり、

図 5 はサステナ回路の実施形態 1 の回路原理を示す説明図であり、

15 図 6 はスイッチ SW 1 とスイッチ SW 2 のスイッチタイミングを示す説明図であり、

図 7 はスイッチ SW 1 とスイッチ SW 2 のスイッチタイミングの他の例を示す説明図であり、

20 図 8 はサステナ回路の具体的な回路構成例を示す説明図であり、

図 9 はサステナ回路の実施形態 2 の回路原理を示す説明図であり、

図 10 はスイッチ SW 1, SW 2, SW 3 のスイッチタイミングを示す説明図であり、

図 1 1 はサステナ回路の具体的な回路構成例を示す説明図であり、

図 1 2 はサステナ回路の実施形態 3 の回路原理を示す説明図であり、

5 図 1 3 はスイッチ SW1 ~ SW3 のスイッチタイミングを示す説明図であり、

図 1 4 はサステナ回路の具体的な回路構成例を示す説明図であり、

図 1 5 はサステナ回路の実施形態 4 の回路原理を示す説明図  
10 であり、

図 1 6 はスイッチ SW1 ~ SW5 のスイッチタイミングを示す説明図であり、

図 1 7 はサステナ回路の具体的な回路構成例を示す説明図であり、

15 図 1 8 はサステナ回路の実施形態 5 の回路原理を示す説明図であり、

図 1 9 はスイッチ SW1 ~ SW5 のスイッチタイミングを示す説明図であり、

図 2 0 はサステナ回路の具体的な回路構成例を示す説明図  
20 であり、

図 2 1 はサステナ回路の実施形態 6 の回路原理を示す説明図であり、

図 2 2 はスイッチ SW1, SW2 のスイッチタイミングを示す説明図であり、

図 23 はサステナ回路の具体的な回路構成例を示す説明図であり、

図 24 はサステナ回路の実施形態 7 の回路原理を示す説明図であり、

5 図 25 はスイッチ SW1, SW2, SW7 のスイッチタイミングを示す説明図であり、

図 26 はサステナ回路の具体的な回路構成例を示す説明図であり、

10 図 27 は従来のサスティン放電の際に印加する電圧の波形を示す説明図であり、

図 28 は従来のオフセット波形を示す説明図であり、

図 29 は従来のオフセット波形を形成するための回路を示す説明図であり、

15 図 30 は従来のオフセット波形を形成するための回路のスイッチタイミングを示す説明図であり、

図 31 は従来の放電開始の時期が最大電圧の時期よりも遅い場合の例を示す説明図であり、

図 32 は従来の放電開始の時期が最大電圧の時期よりも早い場合の例を示す説明図である。

20

発明を実施するための最良の形態

本発明において、多数のセルは、基板上に電極を形成しその電極を誘電体層で覆った前面側と背面側のパネルアセンブリを対向配置し、内部の放電空間を隔壁で仕切ることにより形成す

ることができる。これにより各セル内に誘電体層で被覆した一对の表示電極を設けた構成とすることができる。

上記の基板としては、ガラス、石英、セラミック等の基板や、これらの基板上に、電極、絶縁膜、誘電体層、保護膜等の所望の構成物を形成した基板が含まれる。  
5

電極は、当該分野で公知の各種の材料と方法を用いて形成することができる。電極に用いられる材料としては、例えば、ITO、 $\text{SnO}_2$ などの透明な導電性材料や、Ag、Au、Al、Cu、Crなどの金属の導電性材料が挙げられる。電極の形成方法としては、当該分野で公知の各種の方法を適用することができる。たとえば、印刷などの厚膜形成技術を用いて形成してもよいし、物理的堆積法または化学的堆積法からなる薄膜形成技術を用いて形成してもよい。厚膜形成技術としては、スクリーン印刷法などが挙げられる。薄膜形成技術の内、物理的堆積法としては、蒸着法やスパッタ法などが挙げられる。化学的堆積方法としては、熱CVD法や光CVD法、あるいはプラズマCVD法などが挙げられる。  
10  
15

駆動回路は、発光させるべきセルを選択するスキャン回路と、選択したセルの表示電極間にサスティン電圧を印加して、輝度に応じた回数だけ表示電極間でサスティン放電を発生させるサスティン電圧印加回路を有していればよい。  
20

サスティン電圧印加回路は、所定波形のサスティンパルスを発生させるサスティンパルス発生回路と、サスティンパルスよりも波高値の高いオフセットパルスを発生させるオフセットパ

ルス発生回路とを並列に接続した回路であればよい。

オフセットパルス発生回路は、オフセット電圧印加用の第1電圧源と、第1電圧を表示電極間に印加する第1スイッチング回路と、オフセット電圧印加用の共振電圧を発生させるインダクタンス成分と、表示電極に流す電流を順方向に規制して共振電圧の電位をサスティン電圧よりも高いレベルに一定時間保持する順方向ダイオードから構成されればよい。  
5

サスティンパルス発生回路は、サスティン電圧印加用の第2電圧源と、第2電圧を表示電極間に印加する第2スイッチング回路から構成されればよい。  
10

オフセット電圧印加用の第1電圧源およびサスティン電圧印加用の第2電圧源は、当該分野で公知の電圧源を適用することができる。

第1スイッチング回路および第2スイッチング回路も、当該15分野で公知のトランジスタを用いたスイッチング回路を適用することができる。

インダクタンス成分は、オフセットパルス用の共振電圧を発生させることができるものであればよい。この共振電圧とは、本インダクタンス成分Lと表示電極のキャパシタンス成分Cとの作用によって生ずるLC共振の電圧を意味する。  
20

順方向ダイオードは、表示電極に流す電流を順方向に規制して共振電圧の電位をサスティン電圧よりも高いレベルに一定時間保持できるものであればよい。この順方向ダイオードは、上記の機能を満たすものであれば特に限定されず、どのようなダ

イオードを適用してもよい。

以下、図面に示す実施の形態に基づいて本発明を詳述する。

なお、本発明はこれによって限定されるものではなく、各種の変形が可能である。

5 図1は本発明の駆動回路を適用するPDPの構成を示す部分分解斜視図である。このPDPはカラー表示用のAC型3電極面放電形式のPDPである。

本PDPは、前面側（表示面側）の基板11を含む前面側のパネルアセンブリと、背面側の基板21を含む背面側のパネル  
10 アセンブリから構成されている。前面側の基板11と背面側の基板21としては、ガラス基板、石英基板、セラミック基板等を使用することができる。

前面側の基板11の内側面には、水平方向に表示電極Xと表示電極Yが等間隔に形成されている。表示電極Xと表示電極Yの間、および表示電極Yと表示電極Xの間の、全てのラインが表示ラインLとなる。各表示電極X、Yは、ITO、SnO<sub>2</sub>などの幅の広い透明電極12と、例えばAg、Au、Al、Cu、Cr及びそれらの積層体（例えばCr/Cu/Crの積層構造）等からなる金属製の幅の狭いバス電極13から構成されている。表示電極X、Yは、Ag、Auについてはスクリーン印刷のような厚膜形成技術を用い、その他については蒸着法、スパッタ法等の薄膜形成技術とエッチング技術を用いることにより、所望の本数、厚さ、幅及び間隔で形成することができる。

表示電極X、Yの上には、表示電極X、Yを覆うように交流

(A C) 駆動用の誘電体層 17 が形成されている。誘電体層 17 は、低融点ガラスペーストを、前面側の基板 11 上にスクリーン印刷法で塗布し、焼成することにより形成している。

誘電体層 17 の上には、表示の際の放電により生じるイオンの衝突による損傷から誘電体層 17 を保護するための保護膜 18 が形成されている。この保護膜は、例えば、MgO、CaO、SrO、BaO 等からなる。

背面側の基板 21 の内側面には、平面的にみて表示電極 X, Y と交差する方向に複数のアドレス電極 A が形成され、そのアドレス電極 A を覆って誘電体層 24 が形成されている。アドレス電極 A は、スキャン用の表示電極との交差部で発光セルを選択するためのアドレス放電を発生させるものであり、Cr/Cu/Cr の 3 層構造で形成されている。このアドレス電極 A は、その他に、例えば Ag、Au、Al、Cu、Cr 等で形成することもできる。アドレス電極 A も、表示電極 X, Y と同様に、Ag、Au についてはスクリーン印刷のような厚膜形成技術を用い、その他については蒸着法、スパッタ法等の薄膜形成技術とエッチング技術を用いることにより、所望の本数、厚さ、幅及び間隔で形成することができる。誘電体層 24 は、誘電体層 17 と同じ材料、同じ方法を用いて形成することができる。

隣接するアドレス電極 A とアドレス電極 A との間の誘電体層 24 上には、複数の隔壁 29 が形成されている。隔壁 29 は、サンドブラスト法、印刷法、フォトエッチング法等により形成することができる。例えば、サンドブラスト法では、低融点ガ

ラスフリット、バインダー樹脂、溶媒等からなるガラスペーストを誘電体層 24 上に塗布して乾燥させた後、そのガラスペースト層上に隔壁パターンの開口を有する切削マスクを設けた状態で切削粒子を吹きつけて、マスクの開口に露出したガラスペースト層を切削し、さらに焼成することにより形成する。また、  
5 フォトエッチング法では、切削粒子で切削することに代えて、バインダー樹脂に感光性の樹脂を使用し、マスクを用いた露光及び現像の後、焼成することにより形成する。

隔壁 29 の側面及び隔壁間の誘電体層 24 上には、赤 (R)、  
10 緑 (G)、青 (B) の蛍光体層 28R、28G、28B が形成されている。蛍光体層 28R、28G、28B は、蛍光体粉末とバインダー樹脂と溶媒とを含む蛍光体ペーストを隔壁 29 間の凹溝状の放電空間内にスクリーン印刷、又はディスペンサーを用いた方法などで塗布し、これを各色毎に繰り返した後、焼  
15 成することにより形成している。この蛍光体層 28R、28G、28B は、蛍光体粉末と感光性材料とバインダー樹脂とを含むシート状の蛍光体層材料（いわゆるグリーンシート）を使用し、  
フォトリソグラフィー技術で形成することもできる。この場合、所望の色のシートを基板上の表示領域全面に貼り付けて、露光、  
20 現像を行い、これを各色毎に繰り返すことで、対応する隔壁間に各色の蛍光体層を形成することができる。

PDP は、上記した前面側のパネルアセンブリと背面側のパネルアセンブリとを、表示電極 X、Y とアドレス電極 A とが交差するように対向配置し、周囲を封止し、隔壁 29 で囲まれた

放電空間 30 に例えば Ne ガスと Xe ガスとの混合ガスからなる放電ガスを充填することにより作製されている。この PDP では、表示電極 X, Y とアドレス電極 A との交差部の放電空間 30 が表示の最小単位である 1 つのセル領域（単位発光領域） 5 となる。1 画素は R, G, B の 3 つのセルで構成される。

画面表示においては、1 フレームを複数のサブフィールドで構成するとともに、各サブフィールドの表示期間を、発光させるべきセルを選択する選択期間（以後、「アドレス期間」ともいう）と、選択したセルを発光させるサスティン期間とで構成 10 する。

そして、アドレス期間には Y 電極を順次走査して発光させるべきセル内に壁電荷を蓄積し、サスティン期間には全てのセルの表示電極間にパルス状の電圧を印加して画面表示を行う。具体的には、まず、アドレス期間においては、Y 電極群をスキャン電極として用いて、順次スキャン電圧を印加してゆき、その間に所望のアドレス電極 A にアドレス電圧を印加し、選択されたアドレス電極 A と Y 電極との間でアドレス放電を発生させることで発光すべきセルを選択する。この発光セル対応の誘電体層上には壁電荷が形成されるので、次に、Y 電極群と X 電極群 15 との間に交互にサスティン電圧を印加して、当該壁電荷の蓄積されたセルにおいて再び放電（サスティン放電または表示放電と呼称）を発生させることで、セルを発光させる。このセルの発光は、表示放電によって発生された紫外線で蛍光体を励起して、蛍光体から所望の色の可視光を発生させることにより行わ 20

れる。

図 2 は P D P を平面的に見た状態を示す説明図である。

本 P D P は、平面的にみた場合、隔壁 2 9 が蛇行状に形成され、三角形に配置された R, G, B の 3 つのセルで 1 つの画素 5 を構成するデルタ配置の P D P である。R, G, B の各セルはほぼ六角形のハニカム構造となっている。

X 電極と Y 電極は等間隔に配置され、X 電極と Y 電極間、および Y 電極と X 電極間のすべての透明電極どうしで面放電が可能な構成となっている。

10 図 3 は駆動装置の配置を示す説明図である。この図は P D P を裏面から見た状態を示している。本駆動装置は、P D P の裏面に配置され、X 側駆動回路 3 1、Y 側駆動回路 3 2、アドレス側駆動回路 3 3、制御回路 3 4、および電源回路 3 5 から構成されている。

15 図 4 は駆動装置のブロック図である。X 側駆動回路 3 1 は、サステナ回路 3 1 a、リセット回路 3 1 b、スキャン電位発生回路 3 1 c から構成されている。サステナ回路 3 1 a は X 電極にサスティン電圧を印加するための回路である。リセット回路 3 1 b は全てのセルを同時に初期化するための回路である。

20 Y 側駆動回路 3 2 は、サステナ回路 3 2 a、リセット回路 3 2 b、スキャン電位発生回路 3 2 c、スキャンドライバ 3 2 d から構成されている。サステナ回路 3 2 a は Y 電極にサスティン電圧を印加するための回路である。リセット回路 3 2 b は全てのセルを同時に初期化するための回路である。スキャンドラ

イバ32dはY電極をスキャンするための回路である。

上記構成の内、サステナ回路31a, 32aが本発明に係る回路である。他の回路については、従来公知の回路を適用する。

以下、サステナ回路31a, 31bの実施形態を説明する。

- 5 サステナ回路32aとサステナ回路32bとは同じ回路であり、以下では単にサステナ回路として説明する。

### 実施形態1

図5はサステナ回路の実施形態1の回路原理を示す説明図である。

- 10 図において、コンデンサCはキャパシタンス成分であり、PDPのパネル容量である。抵抗Rは配線抵抗である。インダクターラインL1はインダクタンス成分であり、コンデンサCとで共振回路を構成するためのものである。電圧V<sub>o</sub>はオフセット電圧を印加するためのものであり、電圧V<sub>s</sub>は矩形波を印加するためのものである。スイッチSW1は電圧V<sub>o</sub>の印加タイミングを制御するためのものであり、スイッチSW2は電圧V<sub>s</sub>の印加タイミングを制御するためのものである。
- 15

- 15 タンス成分であり、コンデンサCとで共振回路を構成するためのものである。スイッチSW1は電圧V<sub>o</sub>の印加タイミングを制御するためのものであり、スイッチSW2は電圧V<sub>s</sub>の印加タイミングを制御するためのものである。

- 20 本実施形態では、図30で示した従来回路の構成と比較して、スイッチSW1とインダクターL1に対して直列に、ダイオードD1を挿入した構成となっている。

ダイオードD1の挿入位置は、電圧V<sub>o</sub>とスイッチSW2の接続点Pとの間であれば、スイッチSW1、インダクターL1の前後どこでも効果は同じである。

図6はスイッチSW1とスイッチSW2のスイッチタイミン

グを示す説明図である。

図中、 $t_1$  は波形の立ち上がり開始時間を、 $t_2$  は最大電圧となる時間を、 $t_3$  は最大電圧からの立ち下がり開始時間を、 $t_4$  は電圧が  $V_s$  になる時間を、それぞれ示している。

5 時間  $t_1$  においてスイッチ SW1 を ON にすると、コンデンサ C、抵抗 R、インダクター L1 による共振現象によって波形が立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達する。従来構成ではこの後、インダクター L1 を通して電圧が下降段階に入るが、本実施形態においては、ダイオード D1 の効果で電圧が  
10 最大電圧  $V_{TOP}$  に維持される。その後、時間  $t_3$  においてスイッチ SW2 を ON にすることで電圧を下降させ、時間  $t_4$  に電圧を  $V_s$  にする。

本実施形態においては、スイッチ SW2 の ON タイミングの設定により、最大電圧  $V_{TOP}$  の維持時間（時間  $t_2$  から時間  $t_3$  までの間）を任意に調整することが可能である。上述したように、最大の発光効率が得られる条件は、電圧が最大の状態で放電が開始されることである。したがって、最大電圧  $V_{TOP}$  が放電の開始時間  $t_f$  まで維持されるように、スイッチ SW2 の ON のタイミングを設定することで、高効率の放電状態を安定して形成することができる。  
20

図 7 はスイッチ SW1 とスイッチ SW2 のスイッチタイミングの他の例を示す説明図である。

本例では、時間  $t_1$  において SW1 を ON にすると波形が立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達しようとするが、

時間  $t_2$  よりも早い時間  $t_{2'}$  において SW1 を OFF にする。従来構成ではこの後、インダクター L1 を通して電圧が下降段階に入るが、本例においては、ダイオード D1 の効果で電圧が最大電圧  $V_{top}$  に維持される。その後、時間  $t_3$  においてスイッチ SW2 を ON することで電圧を下降させ、時間  $t_4$  に電圧を  $V_s$  にする。

本例においては、先述の例と比較して、最大電圧に達するまでの時間が早く、放電のタイミングに対応して波形タイミングを調整するという目的に関し、波形タイミングの選択幅を広くすることができる。例えば、放電開始タイミングが早いパネルを駆動する場合には、先述の例よりも、本例を採用するほうが発光効率を高くすることができる。

図 8 はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧  $V_o$  に接続されたトランジスタ T1、インダクター L10、ダイオード D10 からなる電圧 0 (V) から最大電圧  $V_{top}$  への引上げ回路と、ダイオード D12、トランジスタ T3 からなる最大電圧  $V_{top}$  から電圧  $V_s$  への引下げ回路と、トランジスタ T5、ダイオード D14 からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ T2、ダイオード D11 からなる電圧  $V_s$  への引上げ回路と、トランジスタ T4、ダイオード D13 からなる電圧 0 (V) への引上げ回路から構成されている。

電圧  $V_s$  への引上げ回路は、最大電圧  $V_{top}$  から電圧  $V_s$  へ

引下げる際、放電時の電圧ドロップやオーバーシュートによって電圧が  $V_s$  以下になった際に  $V_s$  へ戻す役割を持つ。また、電圧  $0(V)$  への引上げ回路は、電圧  $V_s$  から電圧  $0(V)$  へ引下げる際、オーバーシュートによって電圧が  $0(V)$  以下に 5 なった際に  $0(V)$  へ戻す役割を持つ。

## 実施形態 2

図 9 はサステナ回路の実施形態 2 の回路原理を示す説明図である。

本実施形態では、スイッチ SW1、ダイオード D1 と並列して、スイッチ SW3 と、ダイオード D1 とは逆極性のダイオード D2 を接続し、それらの片側を電圧  $V_0$  に、反対側をインダクター L1 に接続した構成となっている。

図 10 はスイッチ SW1, SW2, SW3 のスイッチタイミングを示す説明図である。

時間  $t_1$ においてスイッチ SW1 を ON することで波形が立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達する。本実施形態においては、ダイオード D1 の効果で電圧が最大電圧  $V_{TOP}$  に維持される。その後、時間  $t_3$  においてスイッチ SW3 を ON することで電圧を下降させ、時間  $t_4$  にスイッチ SW3 を OFF にし、スイッチ SW2 を ON することで電圧を  $V_s$  にする。

本実施形態においては、発光効率や放電タイミングについては実施形態 1 と同じ効果が得られる。また、この効果に加えて、実施形態 1 では、スイッチ SW2 によって電圧を  $V_{TOP}$  より  $V$

$s$  へ引下げる際、電力を捨てことになるが、本実施形態では、インダクター  $L_1$  による共振現象を利用するため、無効な電力を削減することができる。

図 1 1 はサステナ回路の具体的な回路構成例を示す説明図で  
5 ある。

本回路は、電圧  $V_o$  に接続されたトランジスタ  $T_6$ 、インダクター  $L_{11}$ 、ダイオード  $D_{15}$  からなる電圧  $0 (V)$  から最大電圧  $V_{TOP}$  への引上げ回路と、ダイオード  $D_{16}$ 、トランジスタ  $T_7$ 、インダクター  $L_{11}$  からなる最大電圧  $V_{TOP}$  からの  
10 引下げ回路と、ダイオード  $D_{18}$ 、トランジスタ  $T_9$  からなる電圧  $V_s$  への引下げ回路と、トランジスタ  $T_{11}$ 、ダイオード  $D_{20}$  からなる電圧  $V_s$  から電圧  $0 (V)$  への引下げ回路と、トランジスタ  $T_8$ 、ダイオード  $D_{17}$  からなる電圧  $V_s$  への引  
15 上げ回路と、トランジスタ  $T_{10}$ 、ダイオード  $D_{19}$  からなる電圧  $0 (V)$  への引上げ回路から構成されている。

電圧  $V_s$  への引上げ回路、および電圧  $0 (V)$  への引上げ回路は、実施形態 1 と同じ役割を持つ。

### 実施形態 3

図 1 2 はサステナ回路の実施形態 3 の回路原理を示す説明図  
20 である。

本実施形態では、スイッチ  $SW_1$ 、ダイオード  $D_1$ 、インダクター  $L_1$  と並列して、スイッチ  $SW_3$  と、ダイオード  $D_1$  とは逆極性のダイオード  $D_2$  と、インダクター  $L_2$  を接続し、それらの片側を電圧  $V_o$  に、反対側を抵抗  $R$ 、コンデンサ  $C$  に向

かう電極ラインに接続した構成となっている。

図13はスイッチSW1～SW3のスイッチタイミングを示す説明図である。

時間t1においてスイッチSW1をONにすることで波形が立ち上がり、時間t2に最大電圧 $V_{TOP}$ に到達する。本実施形態においては、ダイオードD1の効果で電圧が最大電圧 $V_{TOP}$ に維持される。その後、時間t3においてスイッチSW3をONにすることで電圧を下降させ、時間t4にスイッチSW3をOFFにし、スイッチSW2をONにすることで電圧をVsにする。

本実施形態においては、発光効率や放電タイミングについては実施形態1と同じ効果が得られる。また、実施形態2と同じく、最大電圧 $V_{TOP}$ から電圧Vsの電圧変動にインダクターL2による共振現象を利用するため、無効な電力を削減することができる。さらに、実施形態2と比較して、インダクターを2種類持つことで、波形立ち上がりの時定数と波形立下がりの時定数を任意に設定することができ、より効率の良い回路設計条件に調整することが可能となる。

また、本実施形態では、ダイオードD1、D2の位置をインダクターL1、L2よりもパネル側に配置している。この場合、実施形態2のように、ダイオードがインダクターよりも電源側に配置されると、時間t2のタイミングでダイオードへの引き戻しの逆電流が微量に流れ、それがインダクターを通して大きな電圧ノイズに拡大されるという問題が発生するが、本実施形

態ではそれが改善される。

図14はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧 $V_o$ に接続されたトランジスタT12、インダクターL12、ダイオードD21からなる電圧 $0(V)$ から最大電圧 $V_{TOP}$ への引上げ回路と、ダイオードD22、トランジスタT13、インダクターL13からなる最大電圧 $V_{TOP}$ からの引下げ回路と、ダイオードD24、トランジスタT15からなる電圧 $V_s$ への引下げ回路と、トランジスタT17、ダイオードD26からなる電圧 $V_s$ から電圧 $0(V)$ への引下げ回路と、トランジスタT14、ダイオードD23からなる電圧 $V_s$ への引上げ回路と、トランジスタT16、ダイオードD25からなる電圧 $0(V)$ への引上げ回路から構成されている。

電圧 $V_s$ への引上げ回路、および電圧 $0(V)$ への引上げ回路は、実施形態1と同じ役割を持つ。

#### 実施形態4

図15はサステナ回路の実施形態4の回路原理を示す説明図である。

本実施形態では、スイッチSW1、ダイオードD1、インダクターL1と並列して、スイッチSW3と、ダイオードD1とは逆極性のダイオードD2と、インダクターL2を接続し、それらの片側を電圧 $V_o$ に、反対側を抵抗R、コンデンサCに向かう電極ラインに接続する。また、直列接続された2個のコンデンサC1、C2が電圧 $V_o$ と並列して接続されており、コン

デンサ C 1、C 2 の中間点と抵抗 R、コンデンサ C に向かう電極ラインが、スイッチ SW 4、インダクター L 4、ダイオード D 4 によって接続されている。

また、抵抗 R、コンデンサ C に向かう電極ラインとグランド  
5 ラインの間にスイッチ SW 5 が設けられている。

図 16 はスイッチ SW 1～SW 5 のスイッチタイミングを示す説明図である。

時間  $t_1$  の直前にスイッチ SW 5 を OFF にし、時間  $t_1$  においてスイッチ SW 1 を ON にすることで波形が立ち上がり、  
10 時間  $t_2$  に最大電圧  $V_{T_{OP}}$  に到達する。その後、時間  $t_3$  においてスイッチ SW 3 を ON にすることで電圧を下降させ、時間  
 $t_4$  にスイッチ SW 3 を OFF にし、スイッチ SW 2 を ON にすることで電圧を  $V_s$  に維持する。また、その後、時間  $t_5$  においてスイッチ SW 2 を OFF にし、スイッチ SW 4 を ON に  
15 することで電圧を下降させ、時間  $t_6$  に SW 4 を OFF にし、スイッチ SW 5 を ON することで電圧を 0 (V) にする。

本実施形態においては、発光効率や放電タイミングについては実施形態 1 と同じ効果が得られる。また、実施形態 2 と同じく、最大電圧  $V_{T_{OP}}$  から電圧  $V_s$  の電圧変動にインダクター L  
20 2 による共振現象を利用するため、無効な電力を削減することができる。さらに、電圧  $V_s$  から電圧 0 (V) の電圧降下にインダクター L 4 による共振現象を利用するため、無効電力をさらに削減する効果がある。

図 17 はサステナ回路の具体的な回路構成例を示す説明図で

ある。

本回路は、電圧  $V_o$  に接続されたトランジスタ T<sub>18</sub>、インダクター L<sub>14</sub>、ダイオード D<sub>27</sub> からなる電圧 0 (V) から最大電圧  $V_{TOP}$  への引上げ回路と、ダイオード D<sub>28</sub>、トランジスタ T<sub>19</sub>、インダクター L<sub>15</sub> からなる最大電圧  $V_{TOP}$  からの引下げ回路と、ダイオード D<sub>30</sub>、トランジスタ T<sub>21</sub> からなる電圧  $V_s$  への引下げ回路と、電圧 0 (V) と電圧  $V_o$  に並列に接続された 2 個のコンデンサ C<sub>10</sub>、C<sub>11</sub> の中間点に接続されたトランジスタ T<sub>22</sub>、インダクター L<sub>16</sub>、ダイオード D<sub>31</sub> からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ T<sub>24</sub>、ダイオード D<sub>33</sub> からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ T<sub>20</sub>、ダイオード D<sub>29</sub> からなる電圧  $V_s$  への引上げ回路と、トランジスタ T<sub>23</sub>、ダイオード D<sub>32</sub> からなる電圧 0 (V) への引上げ回路から構成されている。

電圧  $V_s$  への引上げ回路、および電圧 0 (V) への引上げ回路は、実施形態 1 と同じ役割を持つ。

#### 実施形態 5

図 18 はサステナ回路の実施形態 5 の回路原理を示す説明図である。

本実施形態では、スイッチ SW<sub>1</sub>、ダイオード D<sub>1</sub>、インダクター L<sub>1</sub> と並列して、スイッチ SW<sub>3</sub> と、ダイオード D<sub>1</sub> とは逆極性のダイオード D<sub>2</sub> と、インダクター L<sub>2</sub> が直列接続された回路に対してスイッチ SW<sub>2</sub> を接続し、それらの片側を電

5 電圧  $V_o$  ( $= V_s$ ) に、反対側を抵抗  $R$ 、コンデンサ  $C$  に向かう  
電極ラインに接続する。また、直列接続された 2 個のコンデン  
サ  $C_1$ 、 $C_2$  が電圧  $V_o$  と並列して接続されており、コンデン  
サ  $C_1$ 、 $C_2$  の中間点と抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラ  
インが、スイッチ  $SW_4$ 、インダクター  $L_4$ 、ダイオード  $D_4$   
によって接続されている。また、抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラ  
インとグランドラインの間にスイッチ  $SW_5$  が設けら  
れている。

10 図 19 はスイッチ  $SW_1$  ~  $SW_5$  のスイッチタイミングを示  
す説明図である。

時間  $t_1$  の直前にスイッチ  $SW_5$  を OFF にし、時間  $t_1$  に  
おいてスイッチ  $SW_1$  を ON することで波形が立ち上がり、  
時間  $t_2$  に最大電圧  $V_{top}$  に到達する。その後、時間  $t_3$  にお  
いてスイッチ  $SW_3$  を ON することで電圧を下降させ、時間  
15  $t_4$  にスイッチ  $SW_3$  を OFF にし、スイッチ  $SW_6$  を ON に  
することで電圧を  $V_o$  ( $= V_s$ ) に維持する。その後、時間  $t_5$  にお  
いてスイッチ  $SW_6$  を OFF にし、スイッチ  $SW_4$  を O  
N することで電圧を下降させ、時間  $t_6$  にスイッチ  $SW_4$  を  
OFF にし、スイッチ  $SW_5$  を ON することで電圧を 0  
20 (V) にする。

本実施形態においては、発光効率や放電タイミングについて  
は実施形態 1 と同じ効果が得られる。また、実施形態 2 と同じく、最大電圧  $V_{top}$  から電圧  $V_s$  の電圧変動にインダクター  $L_2$  による共振現象を利用するため、無効な電力を削減すること

ができる。また、電圧  $V_s$  から電圧  $0$  (V) の電圧降下にインダクター  $L_4$  による共振現象を利用するため、無効電力をさらに削減する効果がある。しかも、電圧  $V_s$  と電圧  $0$  を同じ電圧にして、同一の電源でまかなので、実施形態 4 と比較して、  
5 回路を簡略化できる。

図 20 はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧  $V_s$  に接続されたトランジスタ  $T_{27}$ 、インダクター  $L_{17}$ 、ダイオード  $D_{36}$  からなる電圧  $0$  (V) から最大電圧  $V_{TOP}$ への引上げ回路と、ダイオード  $D_{37}$ 、トランジスタ  $T_{28}$ 、インダクター  $L_{18}$  からなる最大電圧  $V_{TOP}$ からの引下げ回路と、ダイオード  $D_{35}$ 、トランジスタ  $T_{26}$  からなる電圧  $V_s$ への引下げ回路と、電圧  $0$  (V) と電圧  $V_s$ に並列に接続された 2 個のコンデンサ  $C_{12}$ 、 $C_{13}$  の中間点に接続されたトランジスタ  $T_{29}$ 、インダクター  $L_{19}$ 、ダイオード  $D_{38}$  からなる電圧  $V_s$  から電圧  $0$  (V) への引下げ回路と、トランジスタ  $T_{31}$ 、ダイオード  $D_{40}$  からなる電圧  $V_s$  から電圧  $0$  (V) への引下げ回路と、トランジスタ  $T_{25}$ 、ダイオード  $D_{34}$  からなる電圧  $V_s$  への引上げ回路と、トランジスタ  $T_{30}$ 、ダイオード  $D_{39}$  からなる電圧  $0$  (V) への引上げ回路から構成されている。  
10  
15  
20

電圧  $V_s$  への引上げ回路、および電圧  $0$  (V) への引上げ回路は、実施形態 1 と同じ役割を持つ。

実施形態 6

図21はサステナ回路の実施形態6の回路原理を示す説明図である。

本実施形態では、スイッチSW1、ダイオードD1、インダクターL1と並列して、ツェナーダイオードZD1を接続し、  
5 それらの片側を電圧V<sub>0</sub>に、反対側を抵抗R、コンデンサCに向かう電極ラインに接続する。また、抵抗R、コンデンサCに向かう電極ラインとグランドラインの間にスイッチSW2と電圧V<sub>s</sub>が設けられている。

図22はスイッチSW1、SW2のスイッチタイミングを示す説明図である。

時間t1においてスイッチSW1をONにすることで波形が立ち上がり、時間t2に最大電圧V<sub>TOP</sub>に到達しようとする。しかし、時間t2よりも早い時間t2'において、ツェナーダイオードZD1のブレークダウン電圧V<sub>ZD</sub>を超えると、それ以上電圧が上がらず、一定電圧に維持される。その後、スイッチSW1をOFFにし、スイッチSW2をONにすることで電圧をV<sub>s</sub>に低下させる。

本実施形態においては、実施形態1と比較して、最高電圧に達するまでの時間が早く、放電のタイミングに対応して波形タイミングを調整するという目的に関し、波形タイミングの選択幅を広くすることができる。また、実施形態1のスイッチタイミングの変形例では、スイッチのタイミングで到達電圧が変化するため、到達電圧の調整が困難であるが、本実施形態では、ツェナーダイオードの選択によって到達電圧を任意に設計する

ことができる。

図23はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧 $V_s$ に接続されたトランジスタT34、インダクターL20、ダイオードD43からなる電圧0(V)から最大電圧 $V_{TOP}$ への引上げ回路と、ダイオードD44、トランジスタT35、インダクターL21からなる最大電圧 $V_{TOP}$ からの引下げ回路と、ダイオードD42、トランジスタT33からなる電圧 $V_s$ への引下げ回路と、電圧0(V)と電圧 $V_s$ に並列に接続された2個のコンデンサC14、C15の中間点に接続されたトランジスタT36、インダクターL22、ダイオードD38からなる電圧 $V_s$ から電圧0(V)への引下げ回路と、トランジスタT38、ダイオードD46からなる電圧 $V_s$ から電圧0(V)への引下げ回路と、トランジスタT32、ダイオードD41からなる電圧 $V_s$ への引上げ回路と、トランジスタT37、ダイオードD45からなる電圧0(V)への引上げ回路と、電圧 $V_s$ と出力の間に接続されたツェナーダイオードZD10から構成されている。

電圧 $V_s$ への引上げ回路、および電圧0(V)への引上げ回路は、実施形態1と同じ役割を持つ。

#### 実施形態7

図24はサステナ回路の実施形態7の回路原理を示す説明図である。

本発実施形態では、スイッチSW1、ダイオードD1、イン

ダクターL<sub>1</sub>が直列に接続され、それらの片側を電圧V<sub>o</sub>に、反対側を抵抗R、コンデンサCに向かう電極ラインに接続している。また、抵抗R、コンデンサCに向かう電極ラインとグランドラインの間にスイッチSW7と電圧V<sub>TOP</sub>が直列接続された回路と、スイッチSW2と電圧V<sub>s</sub>が直列接続された回路を設けた構成となっている。

図25はスイッチSW1, SW2, SW7のスイッチタイミングを示す説明図である。

時間t<sub>1</sub>においてスイッチSW1をONにすることで波形が立ち上がり、時間t<sub>2</sub>に最大電圧V<sub>TOP</sub>に到達しようとする。しかし、時間t<sub>2</sub>よりも早い時間t<sub>1'</sub>においてスイッチSW7をONにすると、時間t<sub>2</sub>よりも早い時間t<sub>2'</sub>において電圧はV<sub>TOP</sub>に達する。その後、スイッチSW1をOFFにし、スイッチSW7をOFFにして、スイッチSW2をONにすることで電圧をV<sub>s</sub>に低下させる。

本実施形態においては、実施形態1と比較して、最高電圧に達するまでの時間が早く、放電のタイミングに対応して波形タイミングを調整するという目的に関し、波形タイミングの選択幅を広くすることができる。また、実施形態6では、市販されているツェナーダイオードの種類が少なく、ブレークダウン電圧の選択肢が制限されるが、本実施形態では任意の電圧に設計することができる。

図26はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧  $V_s$  に接続されたトランジスタ T 4 1、インダクター L 2 3、ダイオード D 4 9 からなる電圧 0 (V) から最大電圧  $V_{TOP}$  への引上げ回路と、トランジスタ T 4 3、ダイオード D 5 2 からなる電圧 0 (V) から最大電圧  $V_{TOP}$  への引上げ回路と、ダイオード D 5 0、トランジスタ T 4 2、インダクター L 2 4 からなる最大電圧  $V_{TOP}$  からの引下げ回路と、ダイオード D 4 8、トランジスタ T 4 0 からなる電圧  $V_s$  への引下げ回路と、電圧 0 (V) と電圧  $V_s$  に並列に接続された 2 個のコンデンサ C 1 6、C 1 7 の中間点に接続されたトランジスタ T 4 5、インダクター L 2 5、ダイオード D 5 1 からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ T 4 7、ダイオード D 5 5 からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ T 3 9、ダイオード D 4 7 からなる電圧  $V_s$  への引上げ回路と、トランジスタ T 4 6、ダイオード D 5 4 からなる電圧 0 (V) への引上げ回路と、トランジスタ T 4 4、ダイオード D 5 3 からなる最大電圧  $V_{TOP}$  への引下げ回路からなる。

電圧  $V_s$  への引上げ回路、および電圧 0 (V) への引上げ回路は、実施形態 1 と同じ役割を持つ。また、最大電圧  $V_{TOP}$  への引下げ回路は、電圧 0 (V) から最大電圧  $V_{TOP}$  へ引上げる際、オーバーシュートによって電圧が  $V_{TOP}$  以上になった際に  $V_{TOP}$  へ戻す役割を持つ。

上記実施形態 1 ~ 7において、印加される電圧の例としては例えば、 $V_s = 180$  (V)、 $V_o = 200$  (V)、 $V_{TOP} =$

400(V)が挙げられる。

以上述べた本発明の駆動回路を用いることにより、最大電圧の維持時間を任意に調整することが可能となり、これにより、電圧が最大の状態で放電が開始されるようにすることができる  
5 ので、高効率の放電状態を安定して形成することができる。

## 請 求 の 範 囲

1. 多数のセルを有し、各セルには一対の表示電極が設けられ、それらの表示電極が誘電体層によって被覆されたプラズマディスプレイパネルの駆動回路であって、  
5 駆動回路が、発光させるべきセルを選択するスキヤン回路と、選択したセルの表示電極間にサスティン電圧を印加して、輝度に応じた回数だけ表示電極間でサスティン放電を発生させるサスティン電圧印加回路を有し、
- 10 サスティン電圧印加回路が、所定波形のサスティンパルスを発生させるサスティンパルス発生回路と、サスティンパルスよりも波高値の高いオフセットパルスを発生させるオフセットパルス発生回路とを並列に接続した回路からなり、  
オフセットパルス発生回路が、オフセット電圧印加用の第 1  
15 電圧源と、第 1 電圧を表示電極間に印加する第 1 スイッチング回路と、オフセット電圧印加用の共振電圧を発生させるインダクタンス成分と、表示電極に流す電流を順方向に規制して共振電圧の電位をサスティン電圧よりも高いレベルに一定時間保持する順方向ダイオードから構成され、
- 20 サスティンパルス発生回路が、サスティン電圧印加用の第 2 電圧源と、第 2 電圧を表示電極間に印加する第 2 スイッチング回路から構成されてなるプラズマディスプレイパネルの駆動回路。

2. 共振電圧の電位がサスティン電圧のレベルよりも高くかつ共振電圧の最高値よりも低い任意のレベルに達したタイミングで第1スイッチング回路がオフにされ、その所定時間後に第2スイッチング回路がオンにされる請求項1記載のプラズマディスプレイパネルの駆動回路。

3. オフセットパルス発生回路が、第1スイッチング回路と順方向ダイオードからなる直列回路に並列に接続され、表示電極に流す電流を逆方向に導通させて共振電圧の電位をサスティン電圧のレベルまで引下げる逆方向ダイオードと、逆方向ダイオードに電流を導く第3スイッチング回路をさらに備えてなる請求項1記載のプラズマディスプレイパネルの駆動回路。

4. オフセットパルス発生回路が、第1スイッチング回路とインダクターと順方向ダイオードからなる直列回路に並列に接続され、表示電極に流す電流を逆方向に導通させて共振電圧の電位をサスティン電圧のレベルまで引下げる逆方向ダイオードと、共振電圧の電位の引下げを共振により行う減衰用インダクタンス成分と、逆方向ダイオードと減衰用インダクターに電流を導く第3スイッチング回路をさらに備えてなる請求項1記載のプラズマディスプレイパネルの駆動回路。

5. 第2電圧源と第2スイッチング回路からなる直列回路に並列に接続され、表示電極に印加する電圧の電位をゼロレベルに

保持する短絡用の第 5 スイッチング回路をさらに備え、

オフセットパルス発生回路が、第 1 電圧源に並列に接続された 2 つの直列接続コンデンサと、2 つの直列接続コンデンサの中間点と表示電極とを接続する直列回路をさらに備え、

- 5 その直列回路が、表示電極に流す電流を逆方向に導通させてサスティン電圧の電位をゼロレベルまで引下げるゼロレベル用逆方向ダイオードと、サスティン電圧の電位の引下げを共振により行うゼロレベル減衰用インダクタンス成分と、ゼロレベル用逆方向ダイオードとゼロレベル減衰用インダクタンス成分に  
10 電流を導く第 4 スイッチング回路からなり、

2 つの直列接続コンデンサの中間点の電位が第 2 電圧と第 1 電圧の中間の電位と略等しくなるように、2 つの直列接続コンデンサの容量がそれぞれ設定されてなる請求項 4 記載のプラズマディスプレイパネルの駆動回路。

- 15 6. 第 1 電圧源と第 2 電圧源を共通にしてなる請求項 5 記載のプラズマディスプレイパネルの駆動回路。

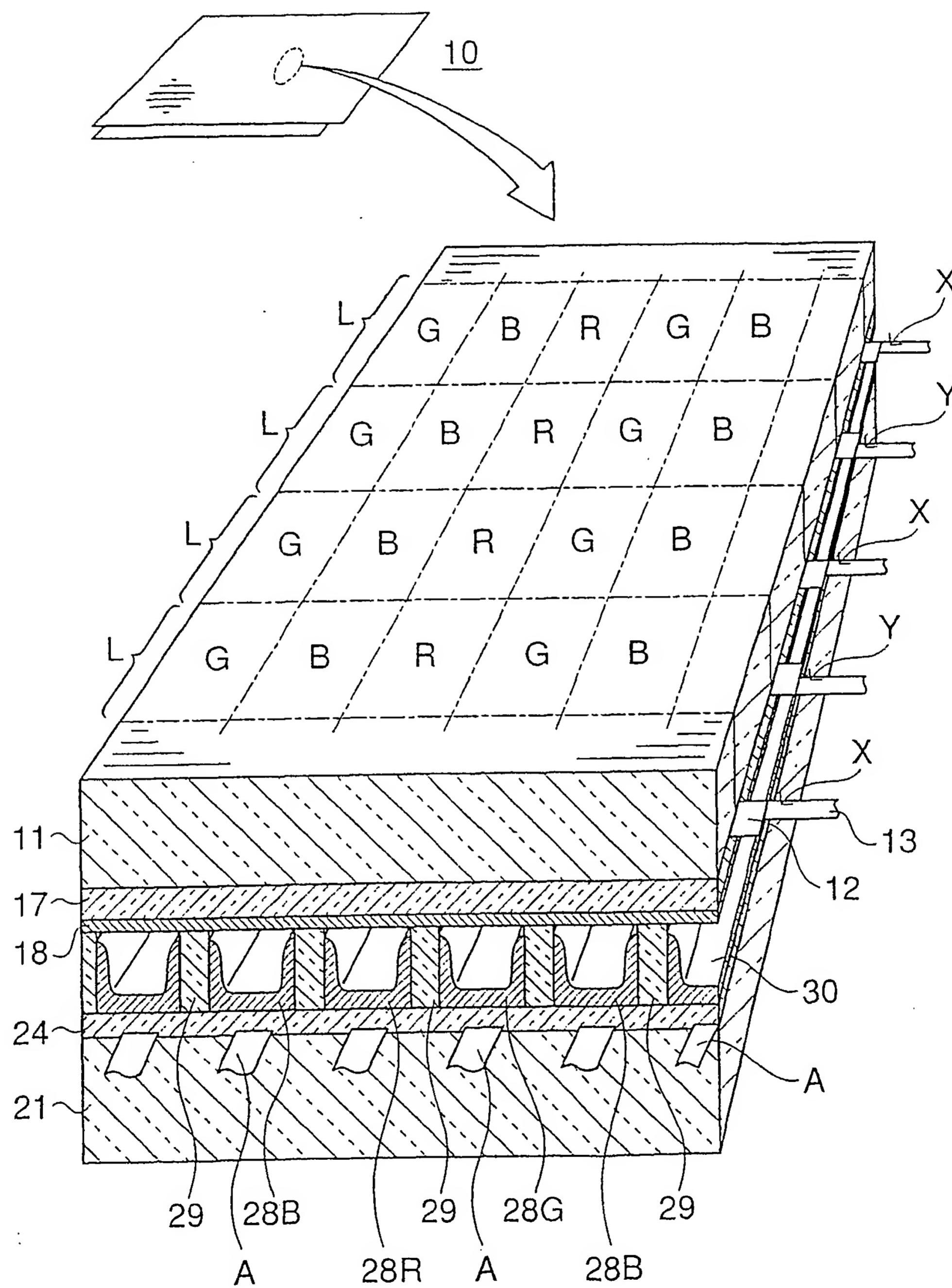
7. オフセットパルス発生回路が、第 1 スイッチング回路とインダクターと順方向ダイオードからなる直列回路に並列に接続され、共振電圧の電位がサスティン電圧のレベルよりも高くかつ共振電圧の最高値よりも低い一定のレベルに達したときに共振電圧の電位をその一定のレベルに保持するツェナーダイオードをさらに備えてなる請求項 1 記載のプラズマディスプレイパ

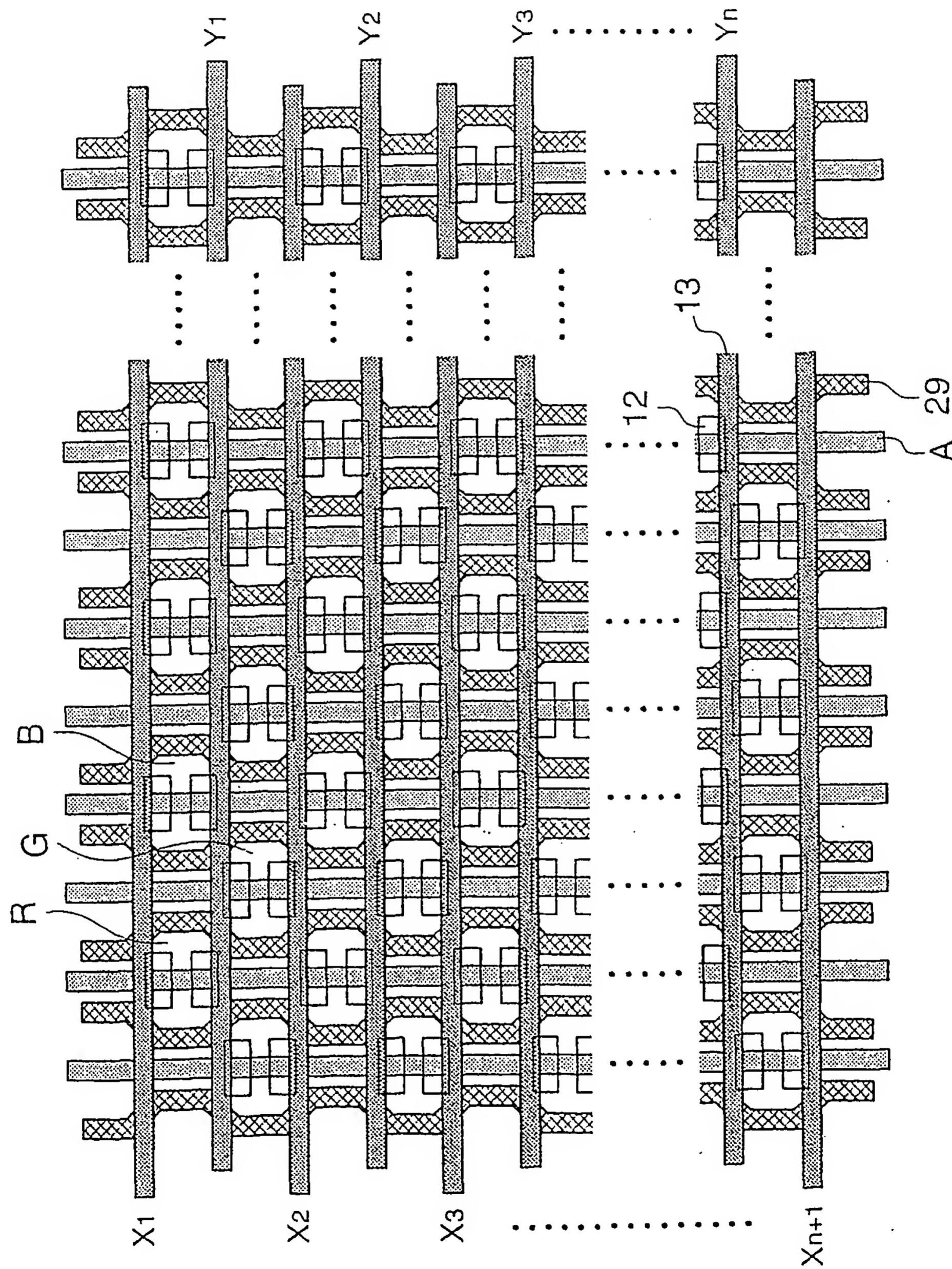
・ネルの駆動回路。

8. オフセットパルス発生回路が、第1電圧源と第1スイッチング回路とインダクターと順方向ダイオードからなる直列回路  
5 に並列に接続され、共振電圧の最高値よりも高い出力電位を有する第3電圧源と、第3電圧を表示電極間に印加する第3スイッチング回路とをさらに備え、

共振電圧の電位がサステイン電圧のレベルよりも高くかつ共振電圧の最高値かそれよりも低い任意のレベルに達したタイミングで、第1スイッチング回路がオフにされるとともに第3スイッチング回路がオンにされ、その所定時間後に、第3スイッチング回路がオフにされるとともに第2スイッチング回路がオンにされる請求項1記載のプラズマディスプレイパネルの駆動回路。  
10  
15

図1





2

図3

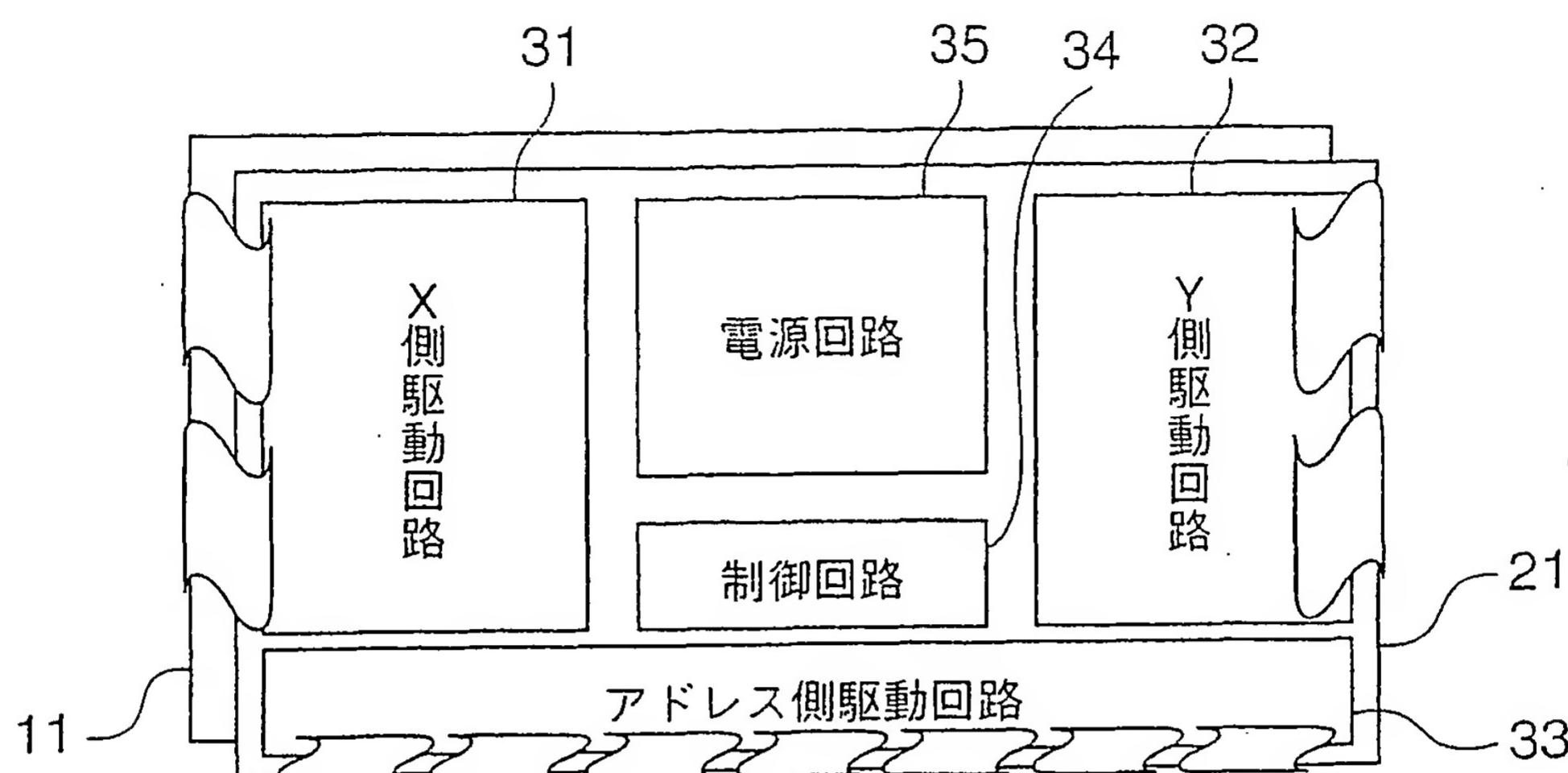


図4

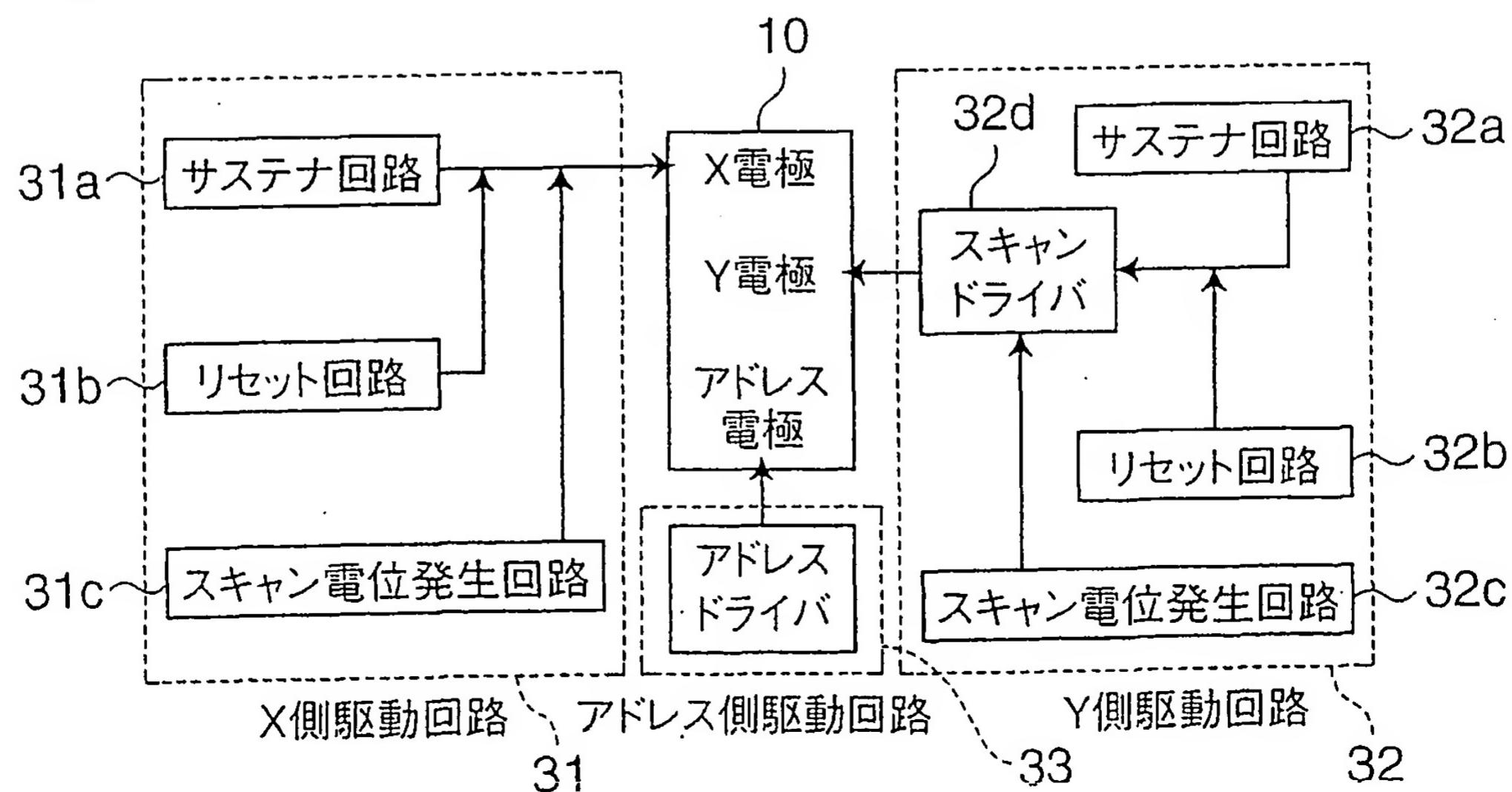


図 5

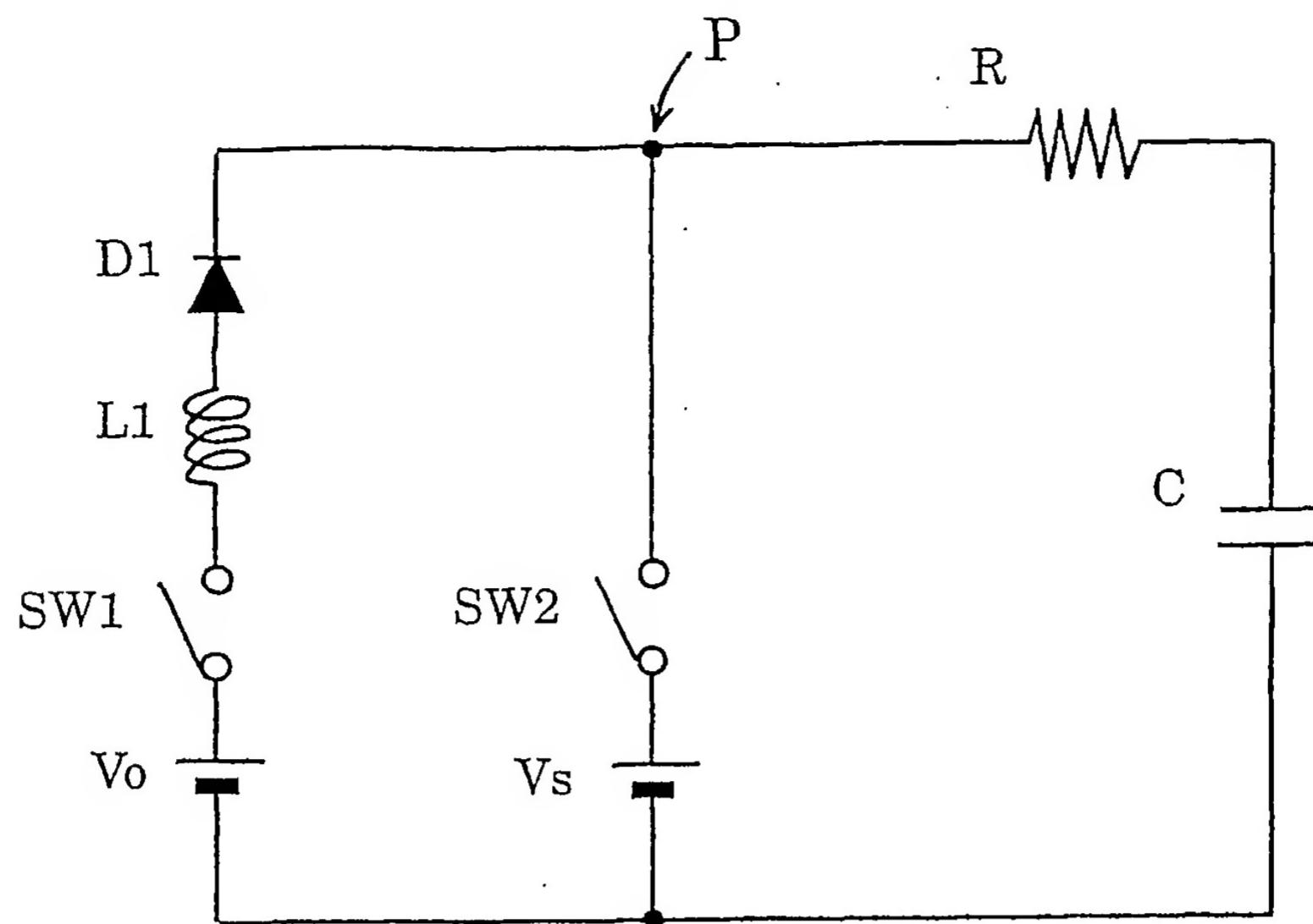


図 6

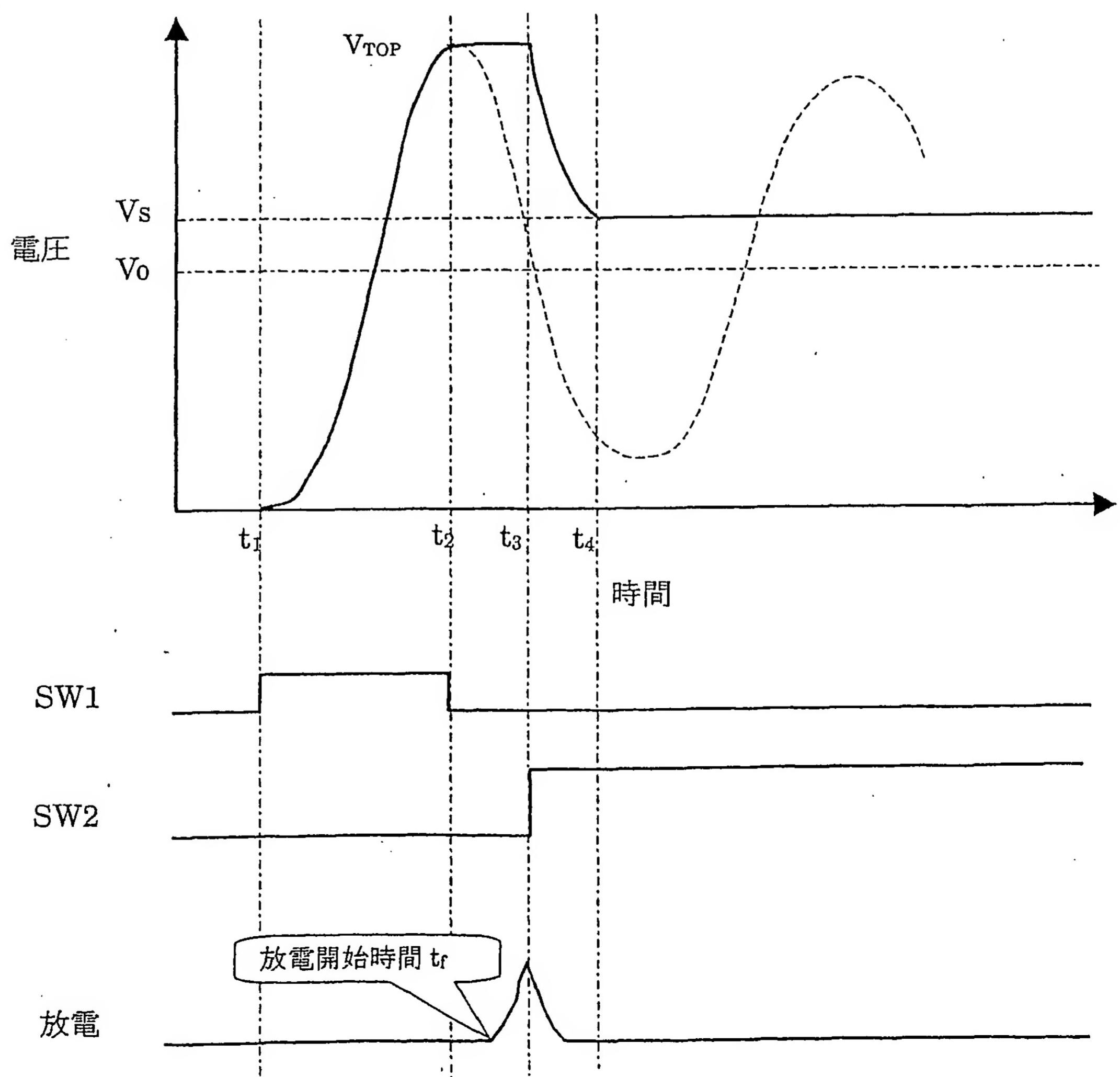


図 7

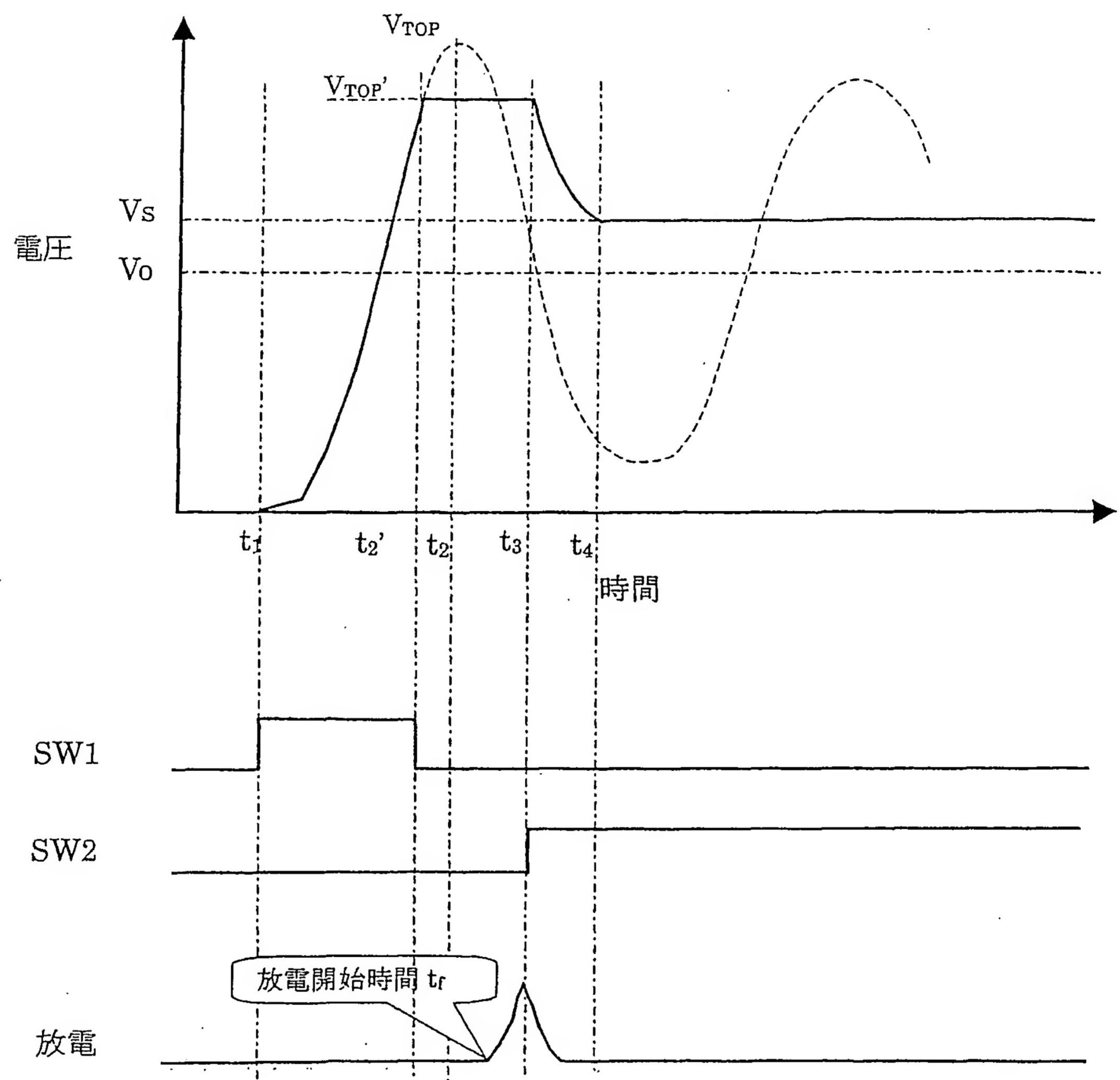


図 8

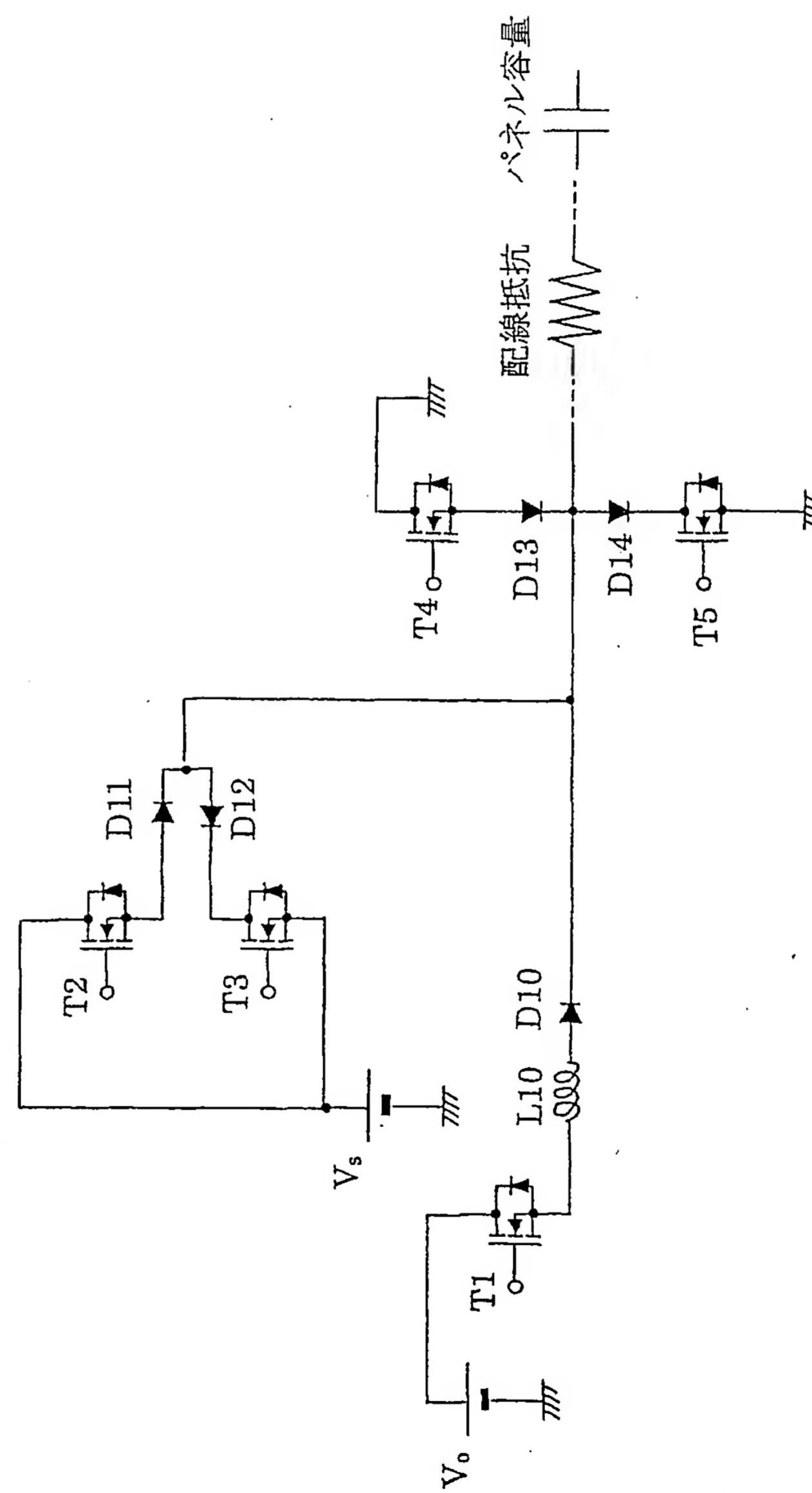


図 9

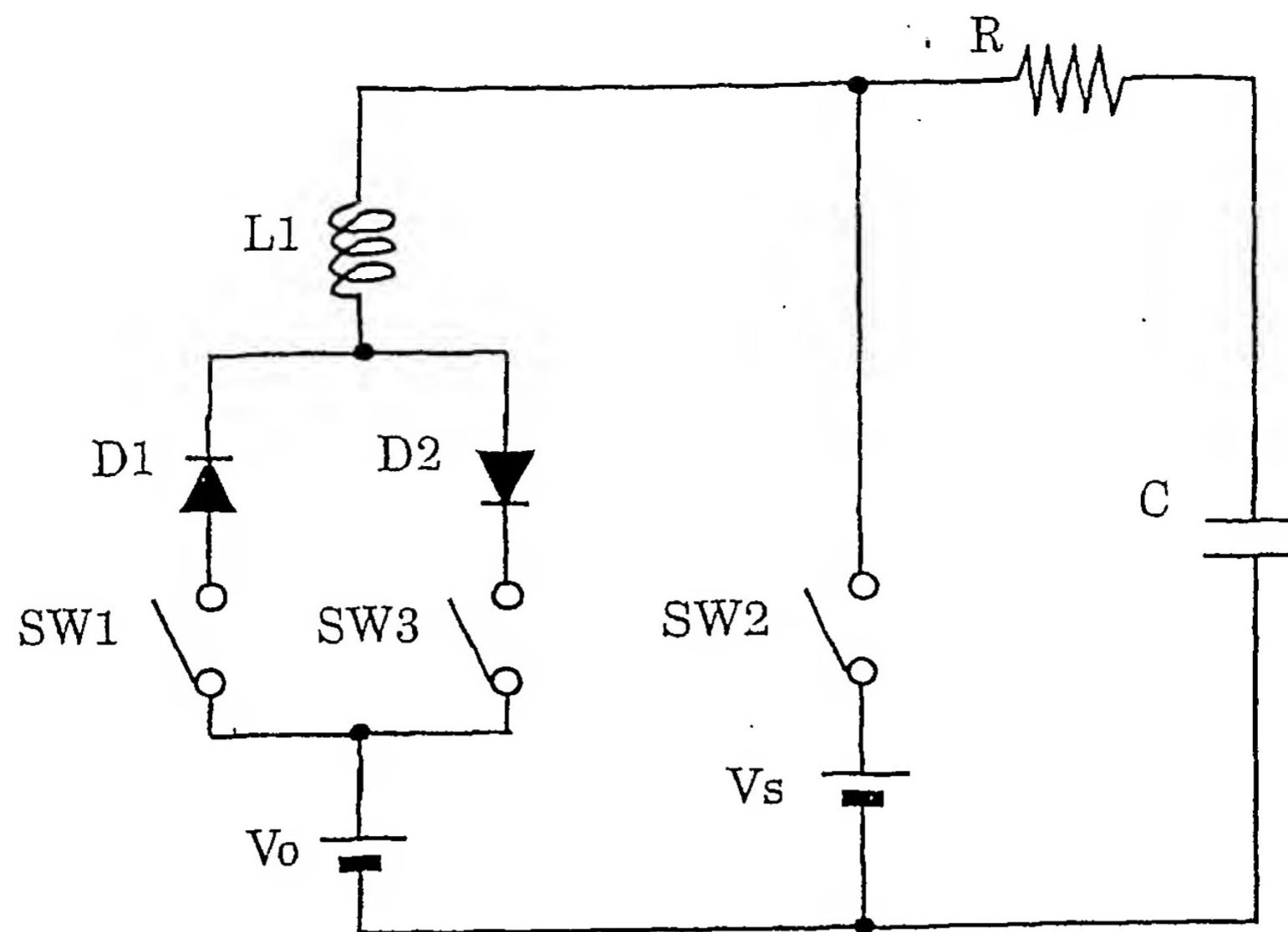
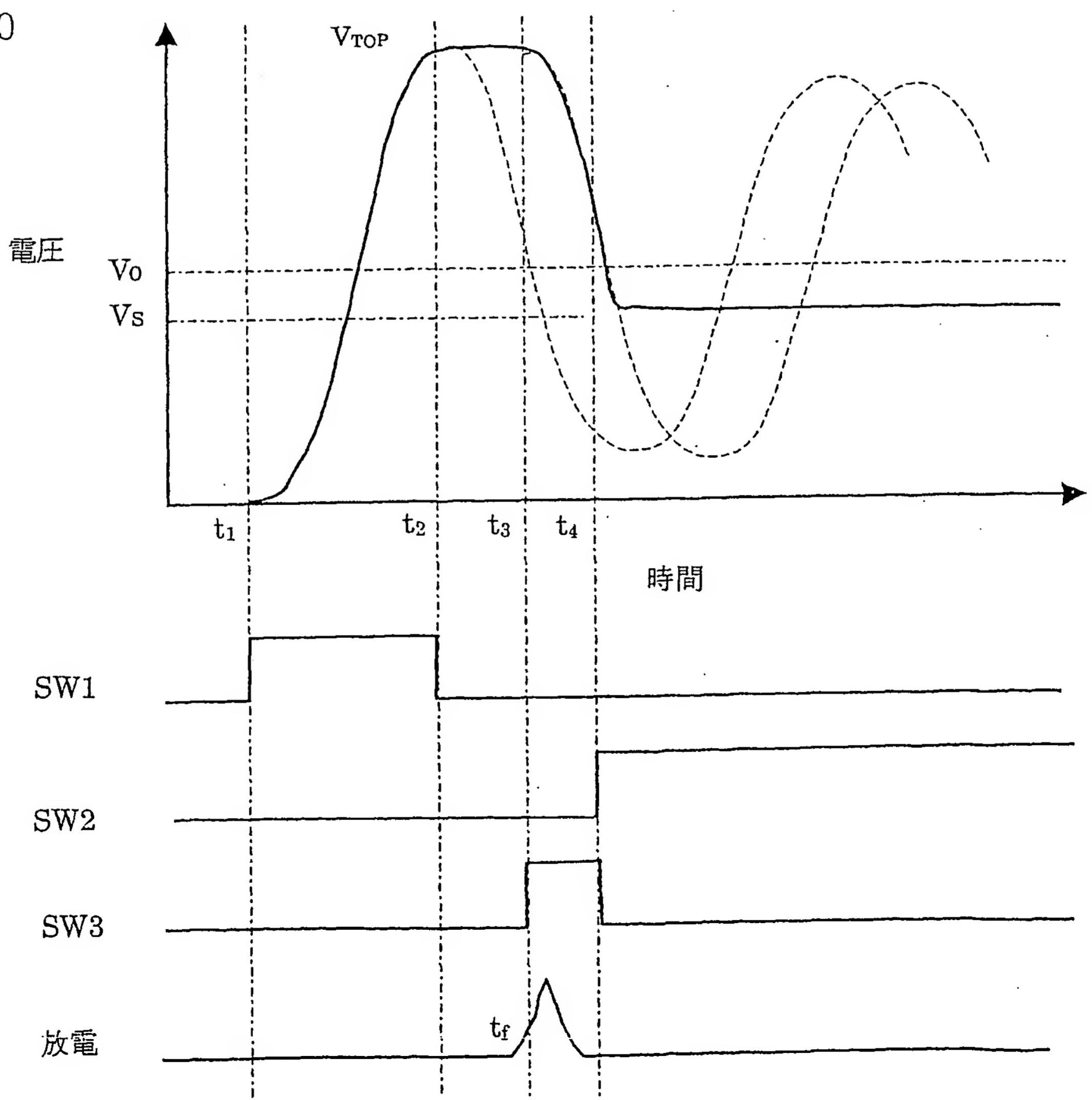


図 10



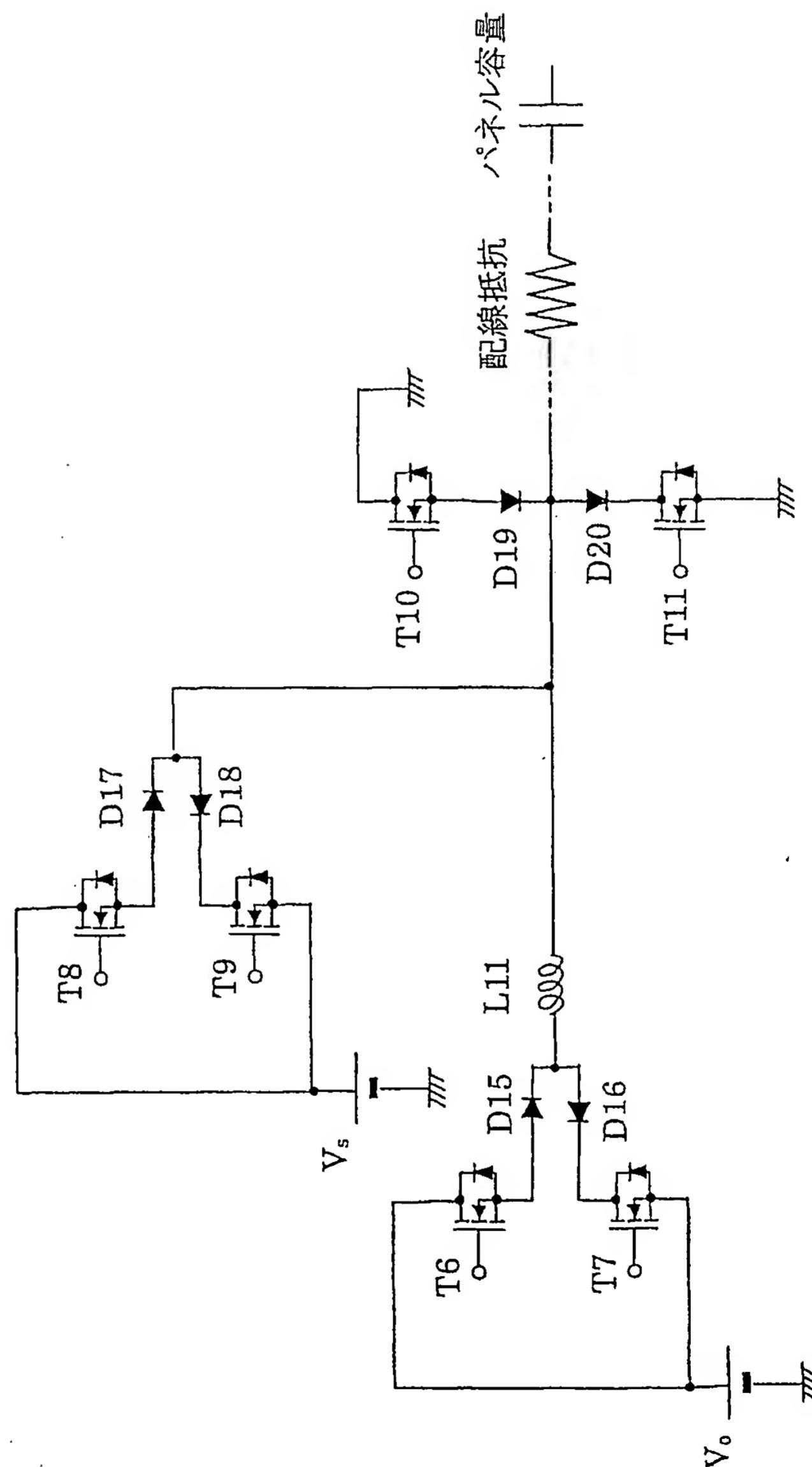
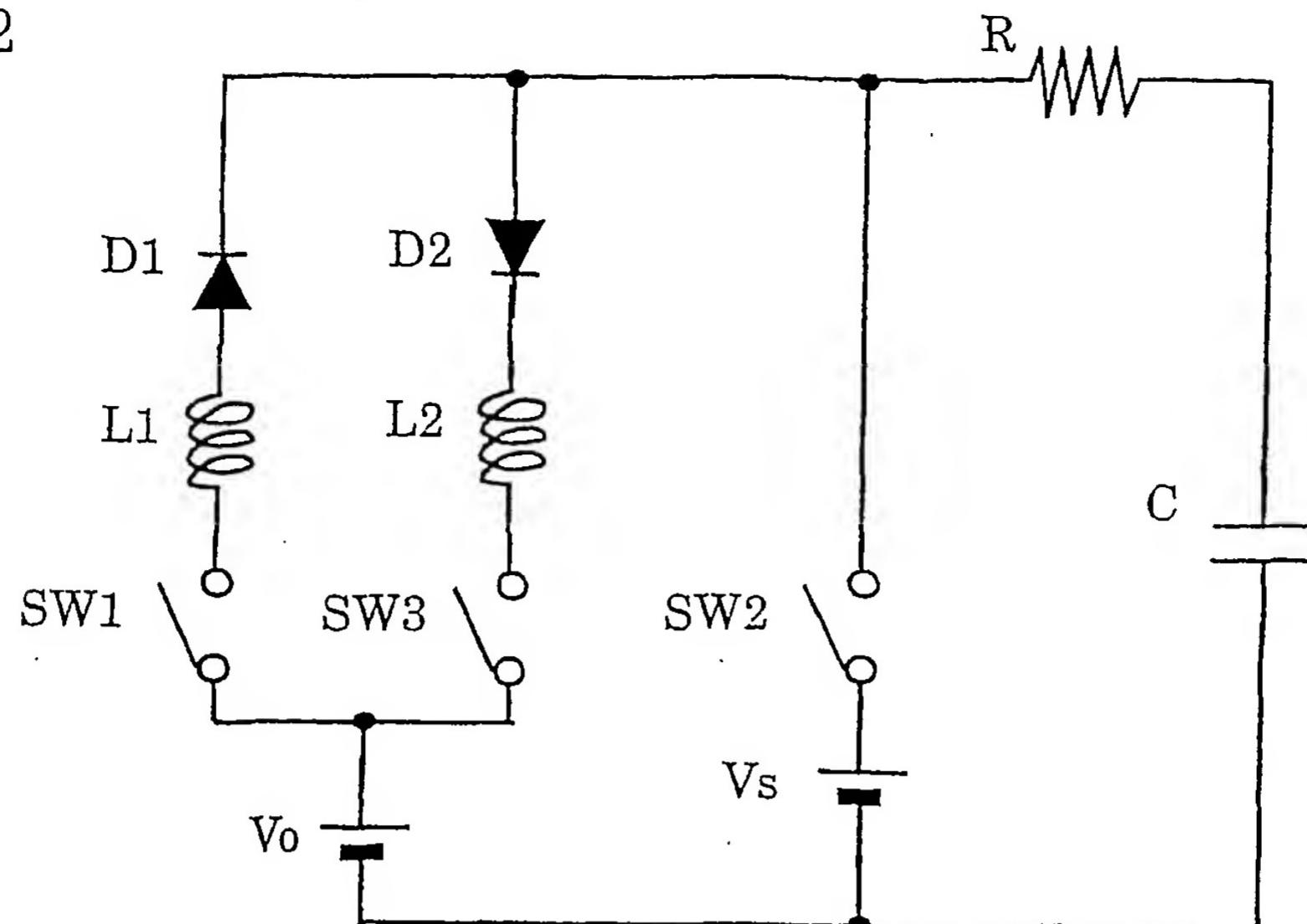


図 1 1

四 12



四 13

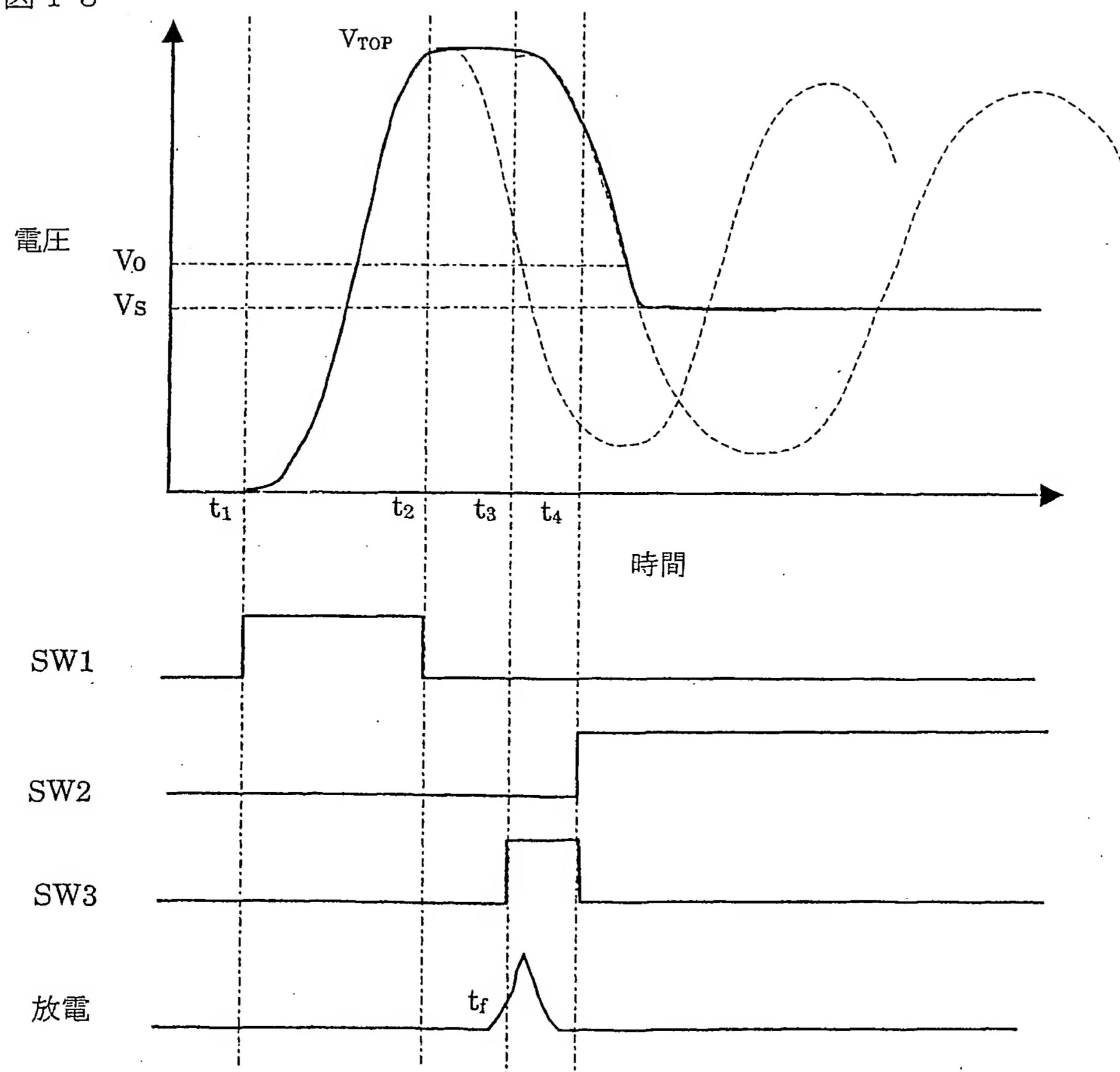


図14

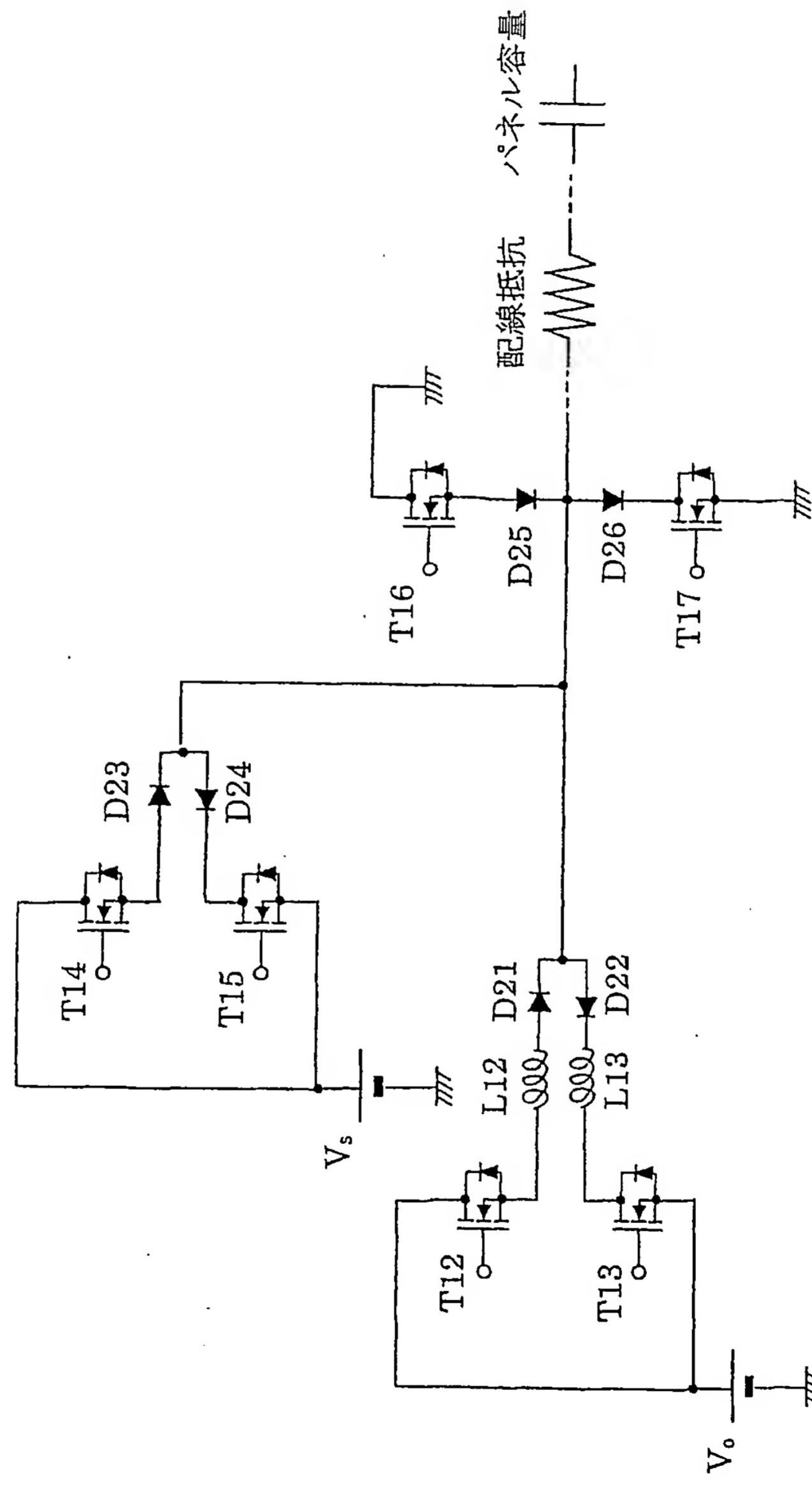


図15

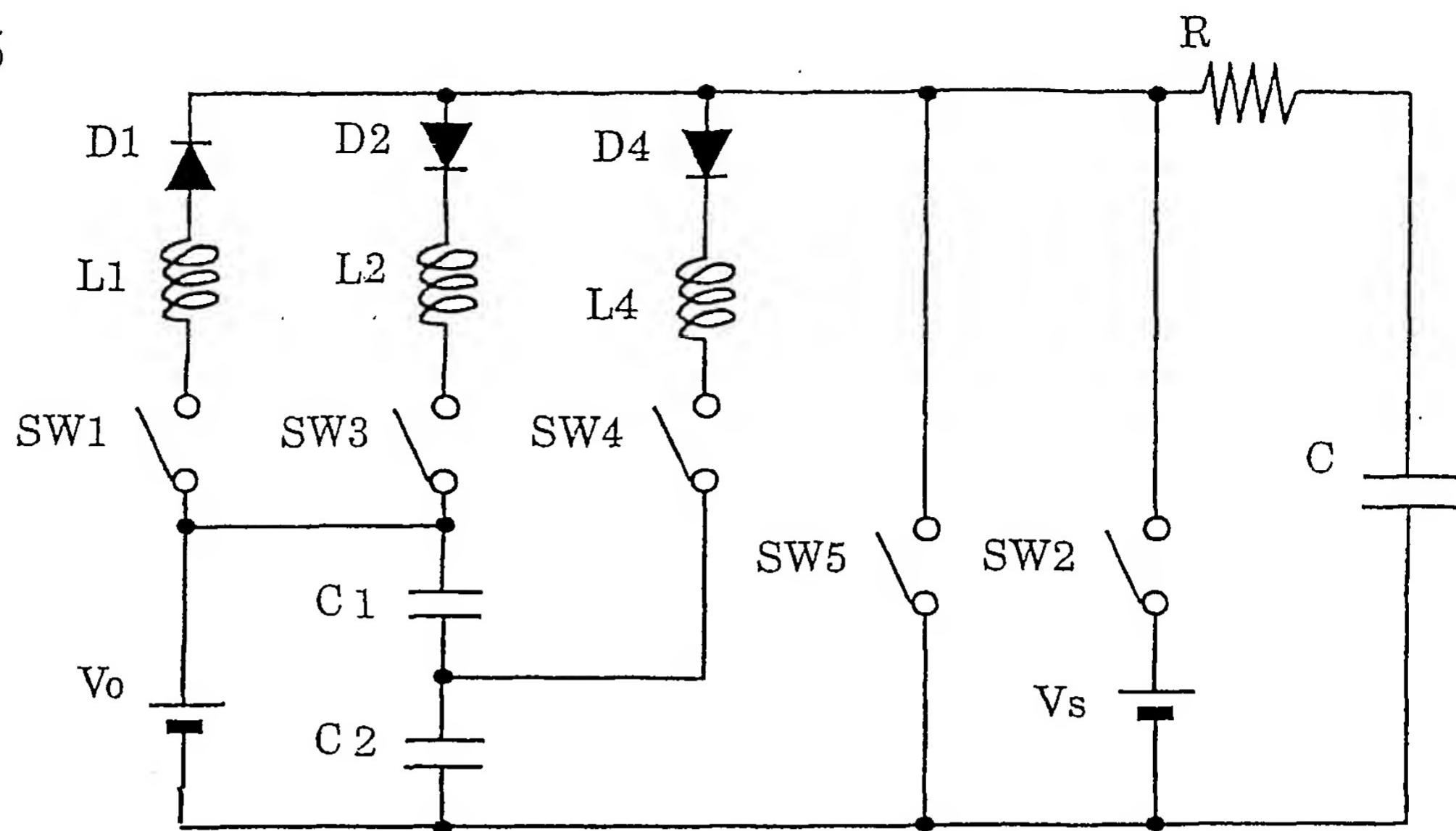


図16

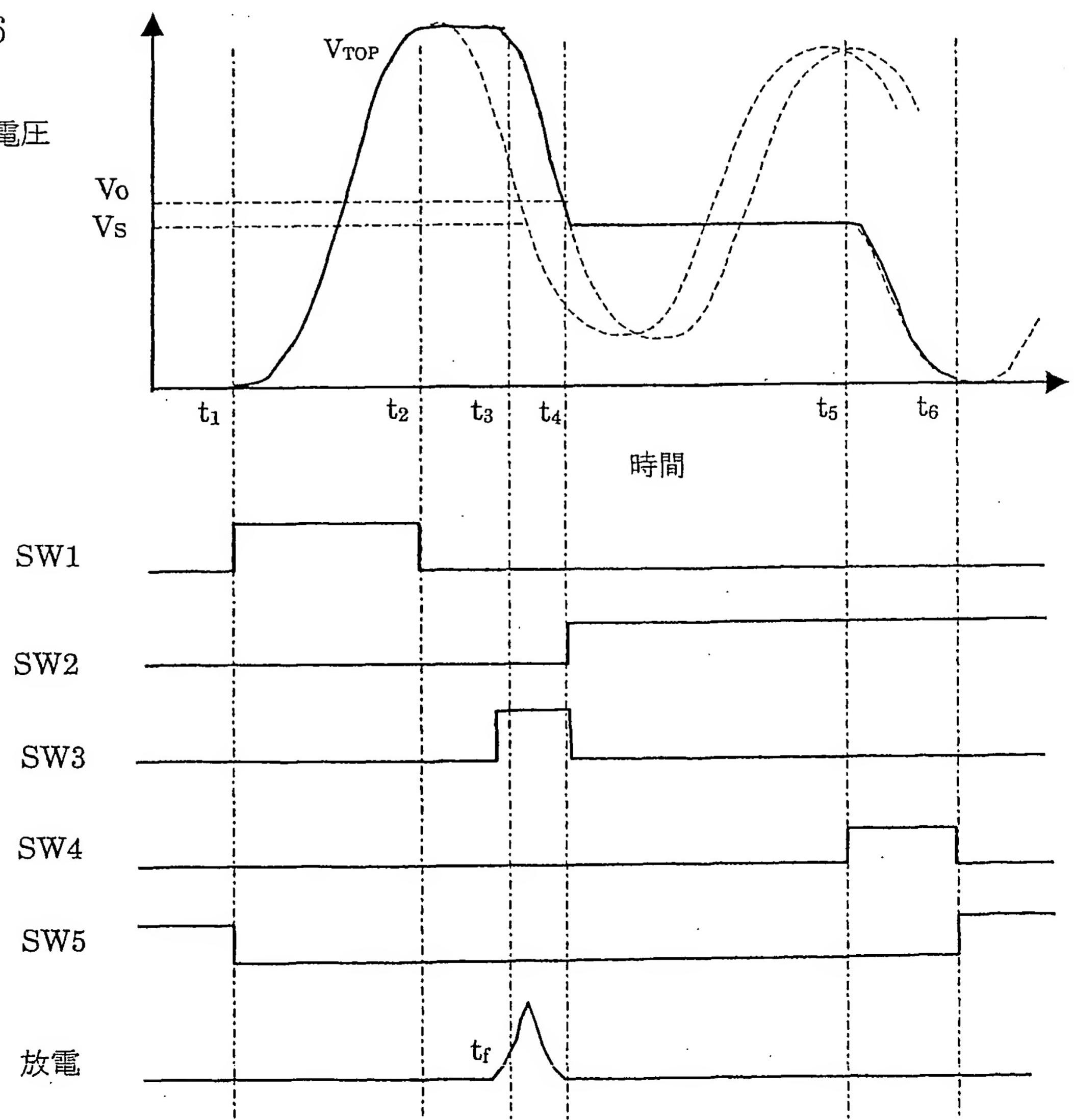


図17

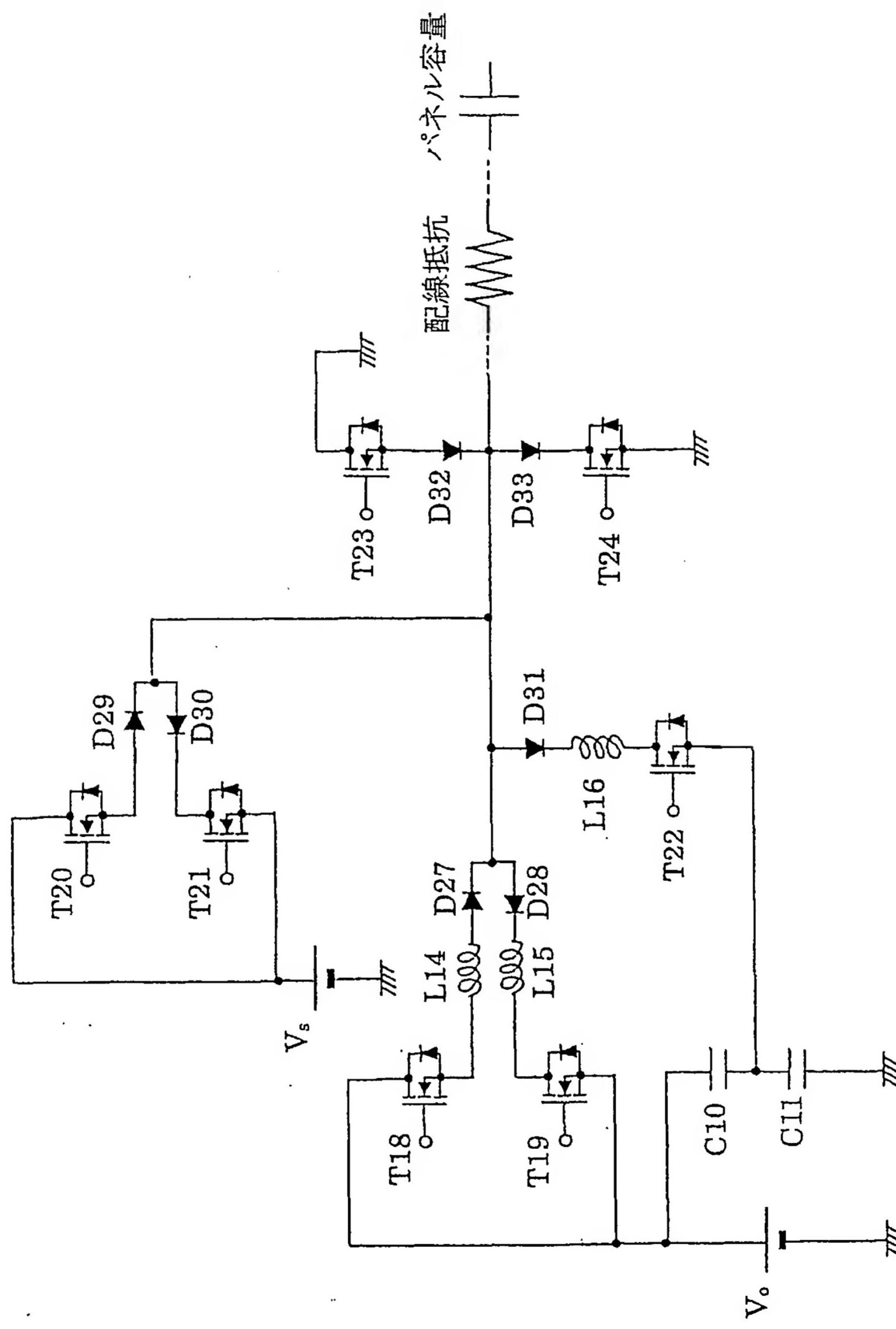


図 18

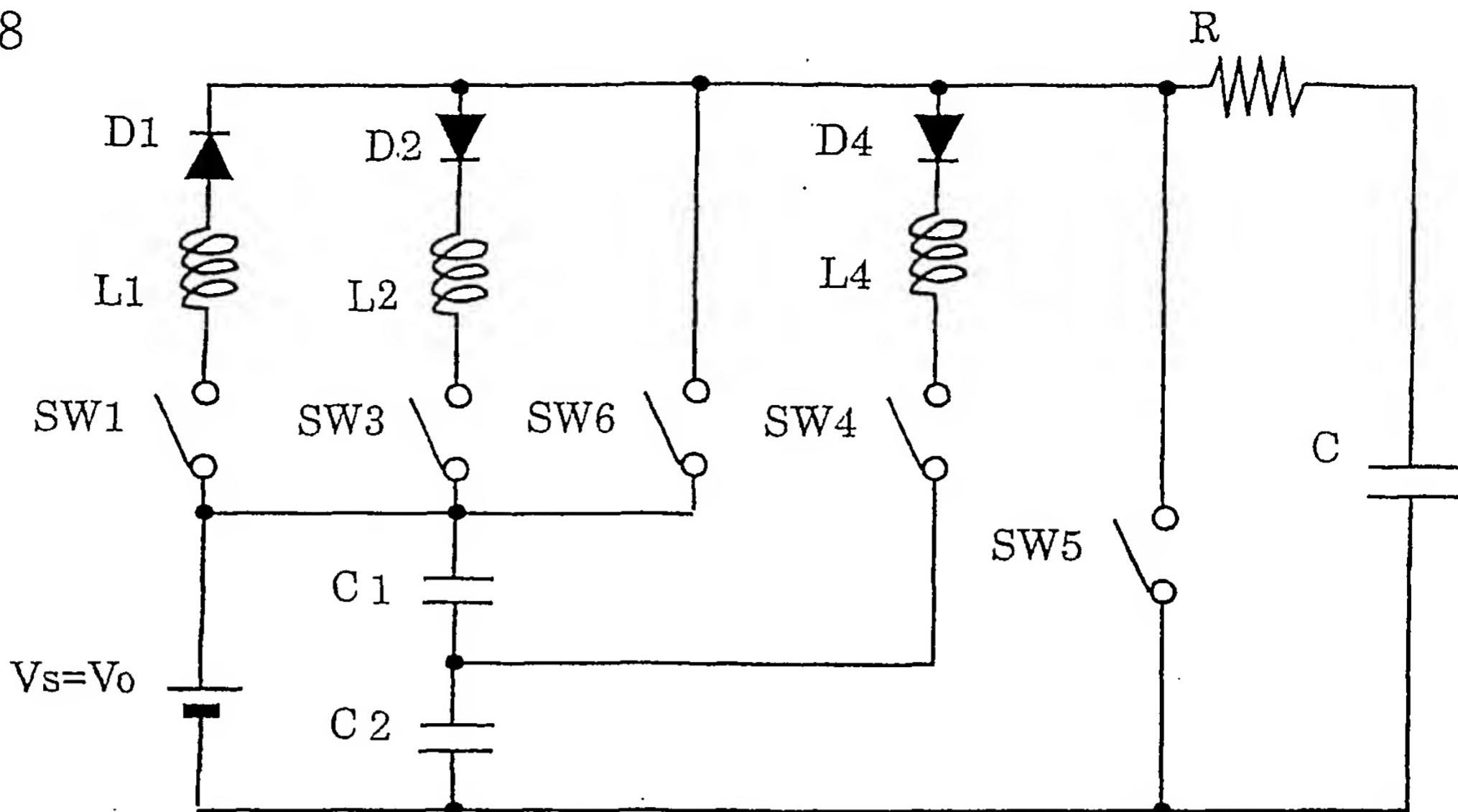


図 19

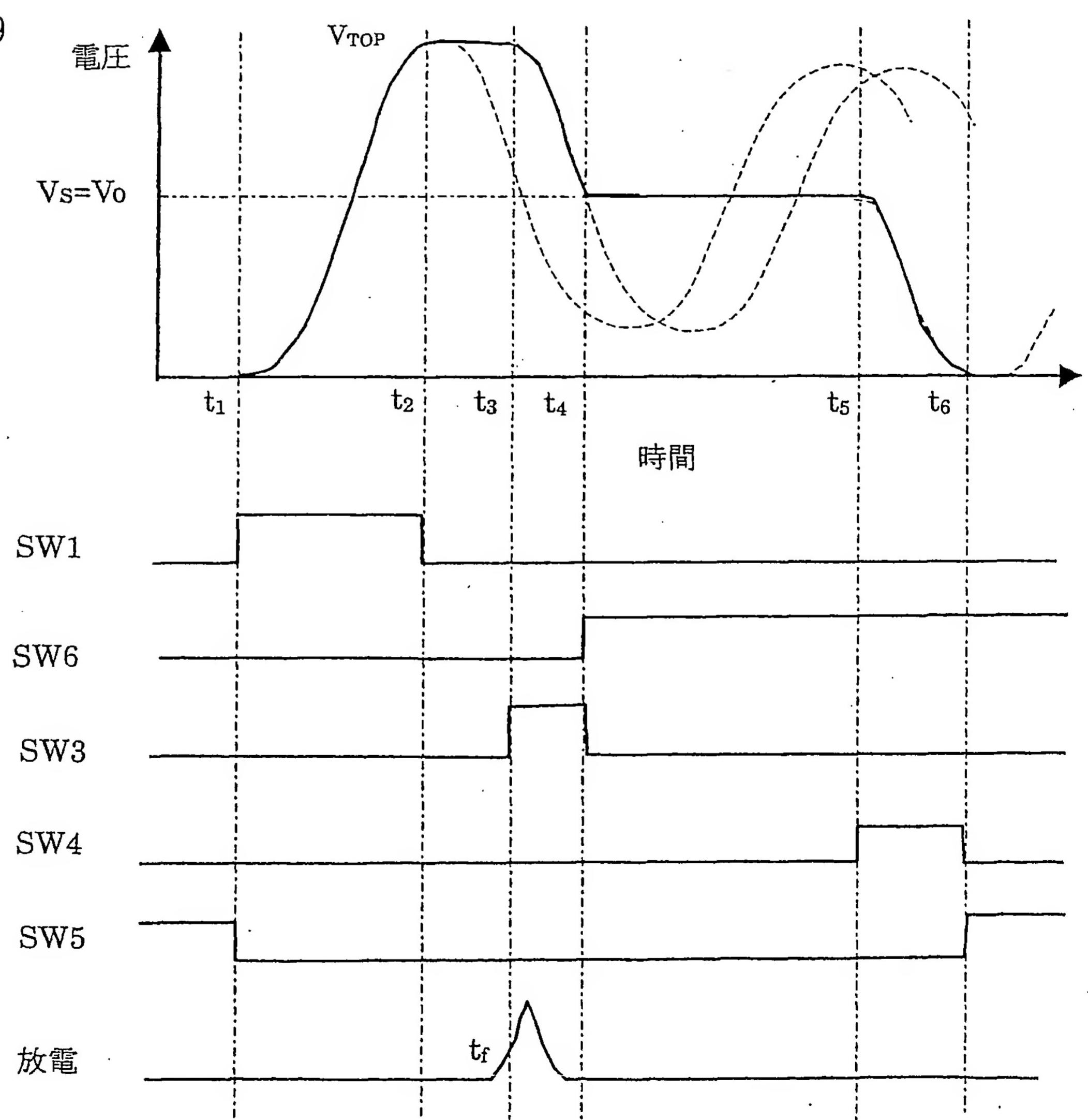


図 20

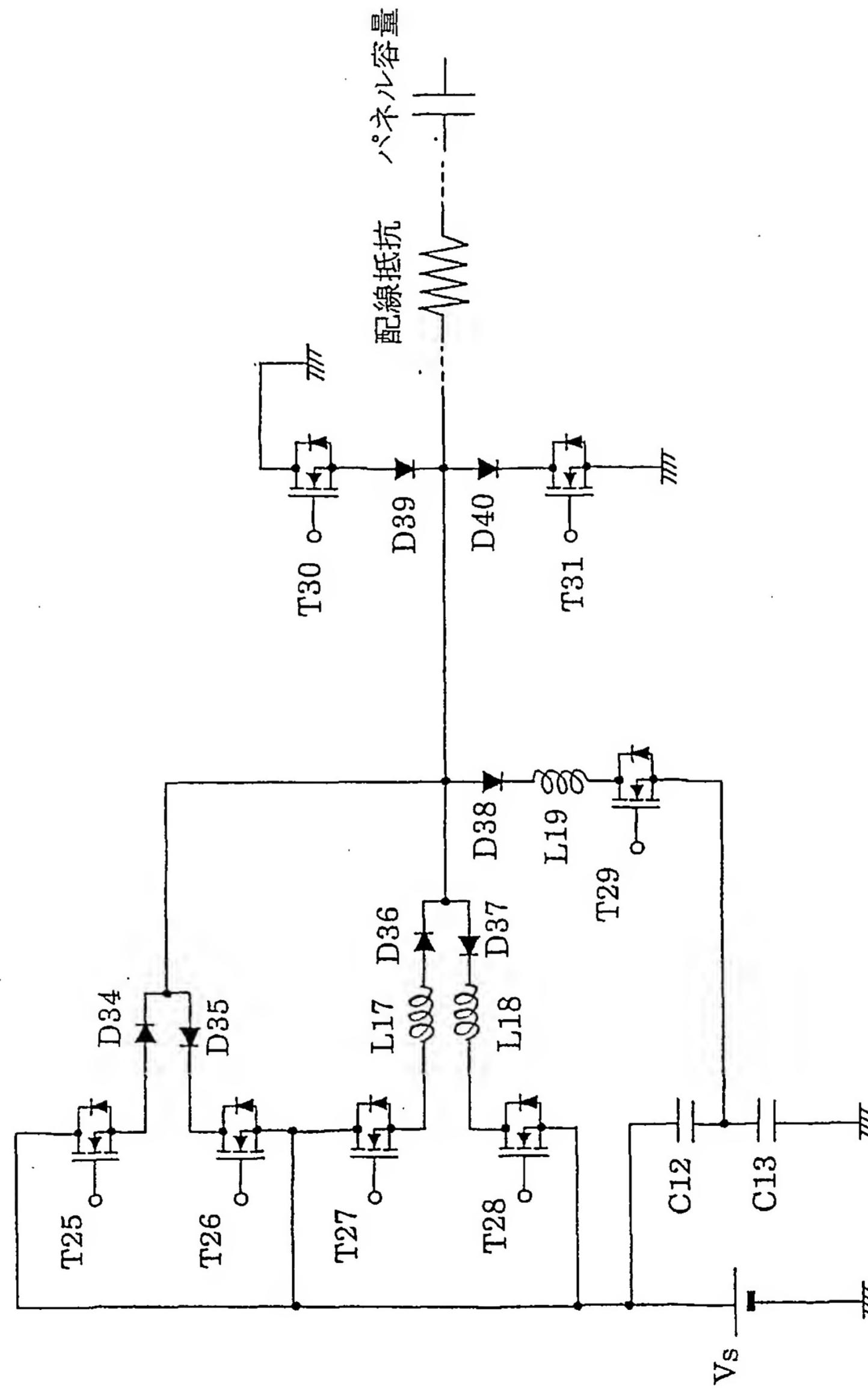


図 2 1

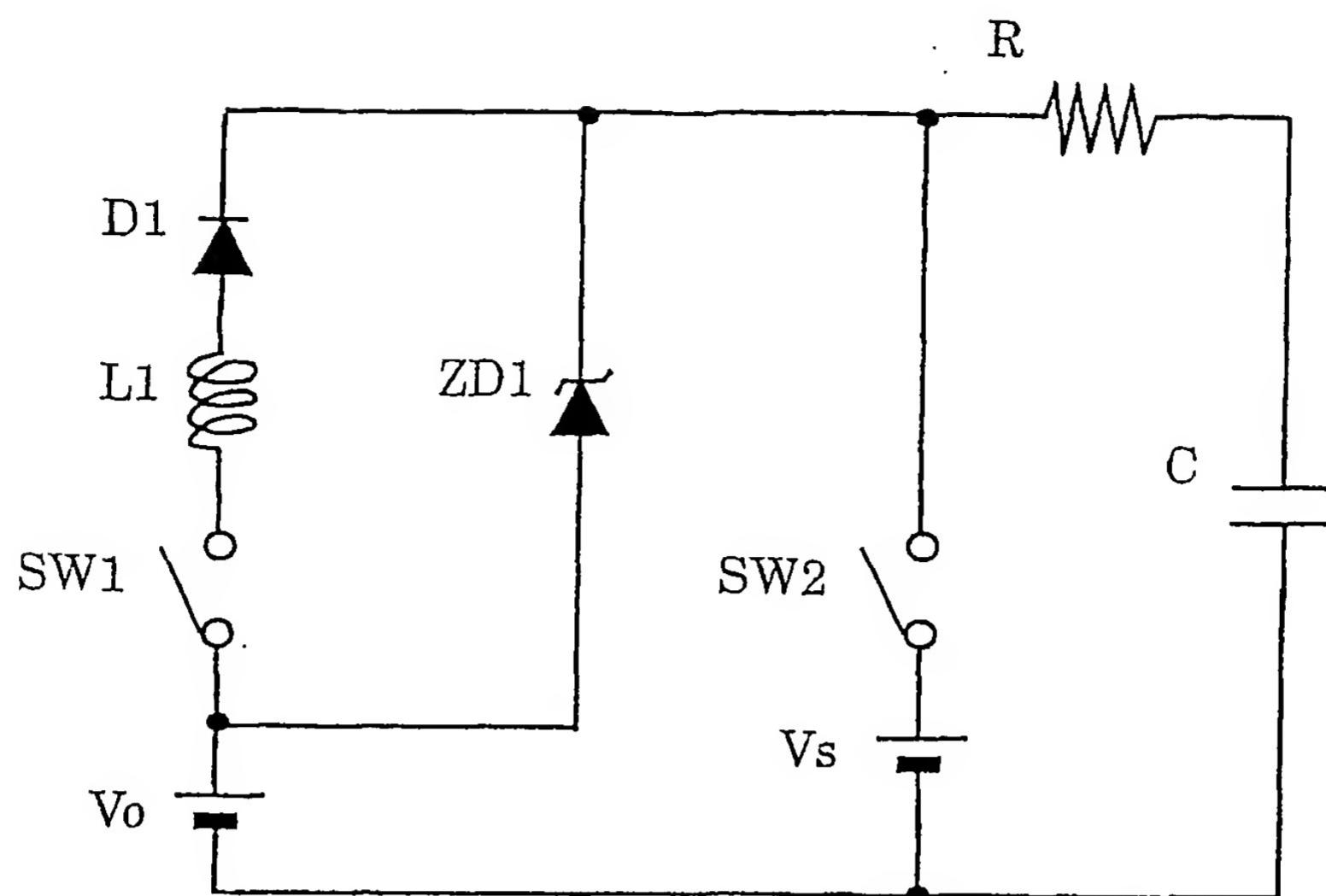


図 2 2

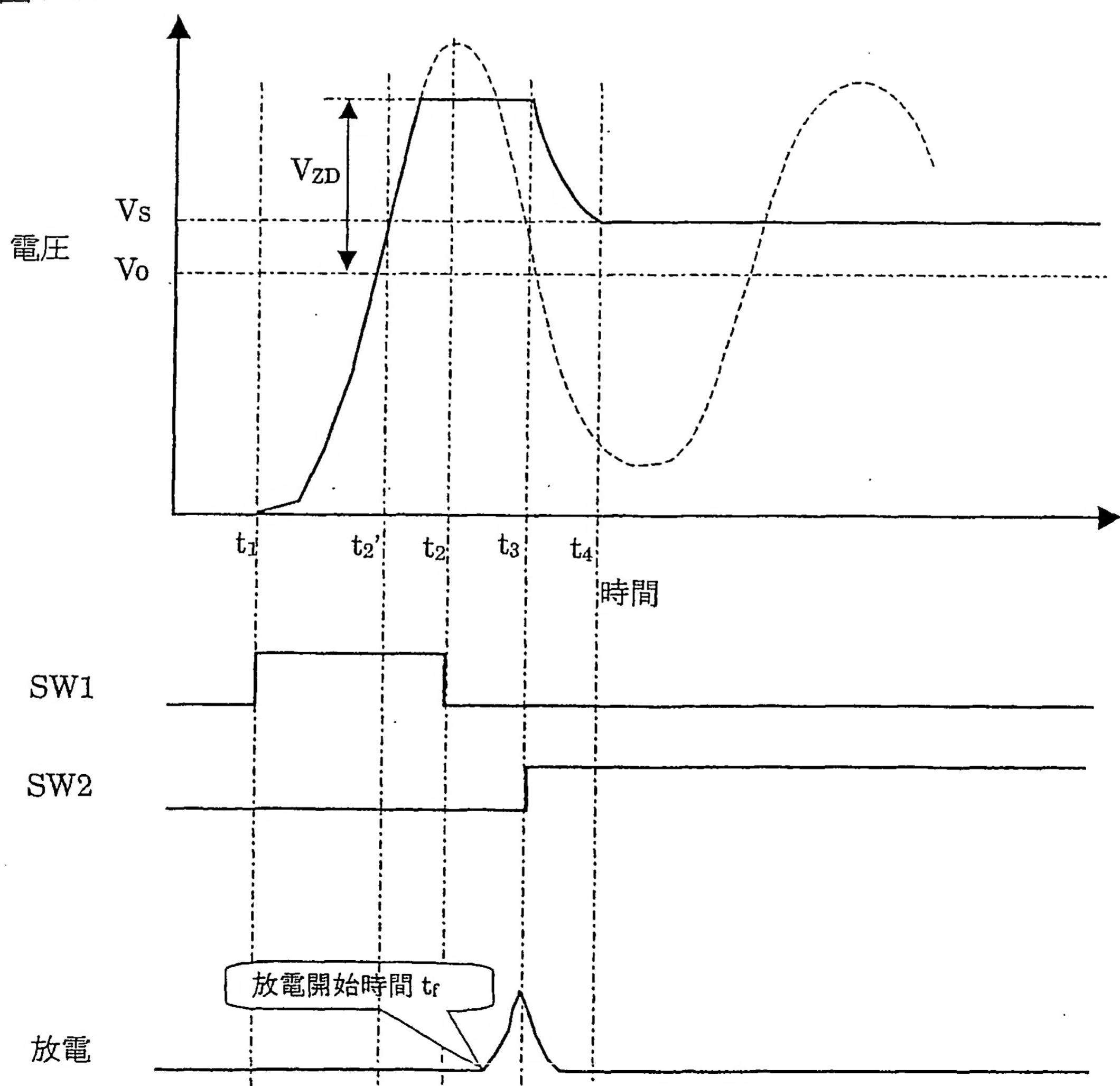


図23

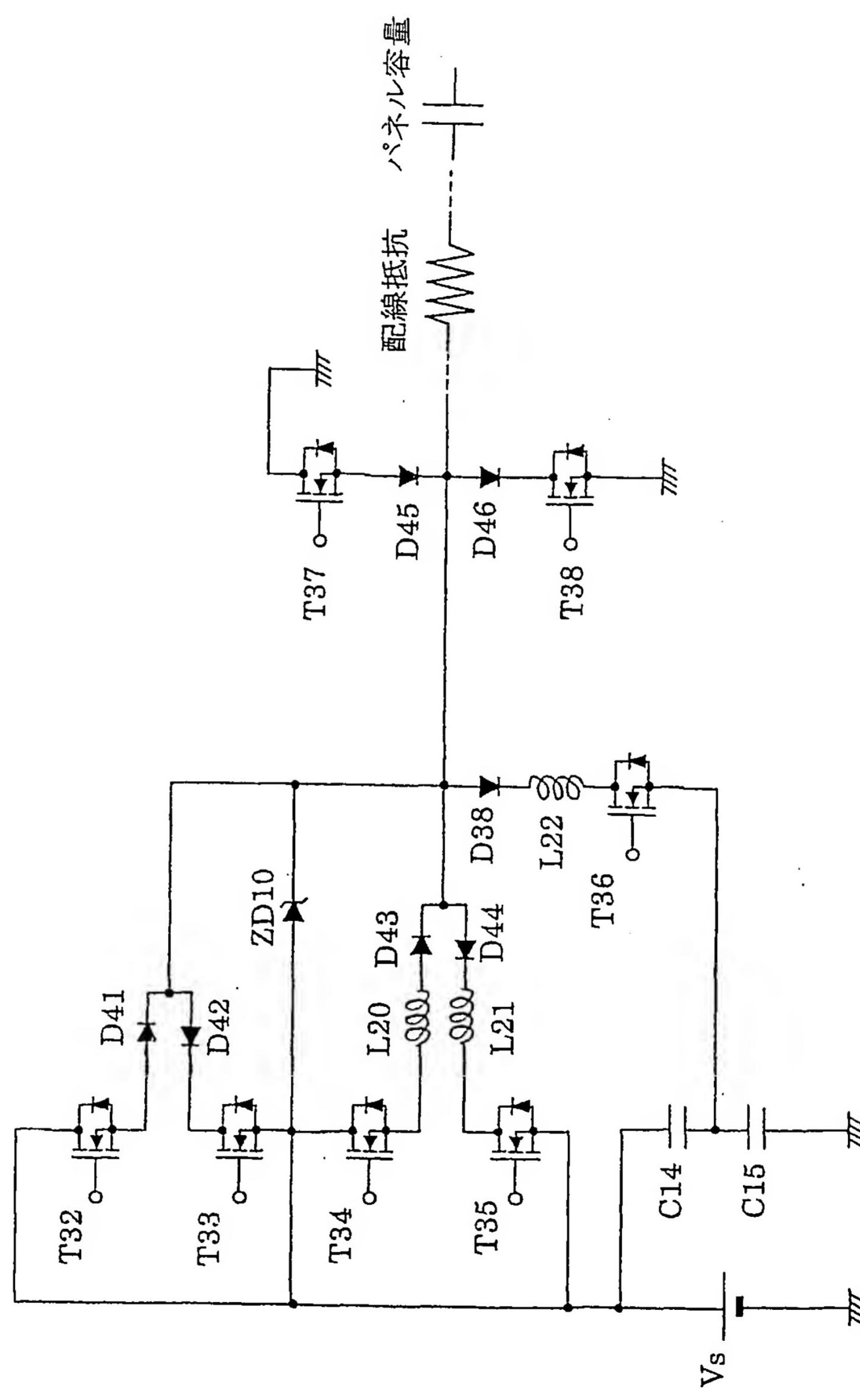


図24

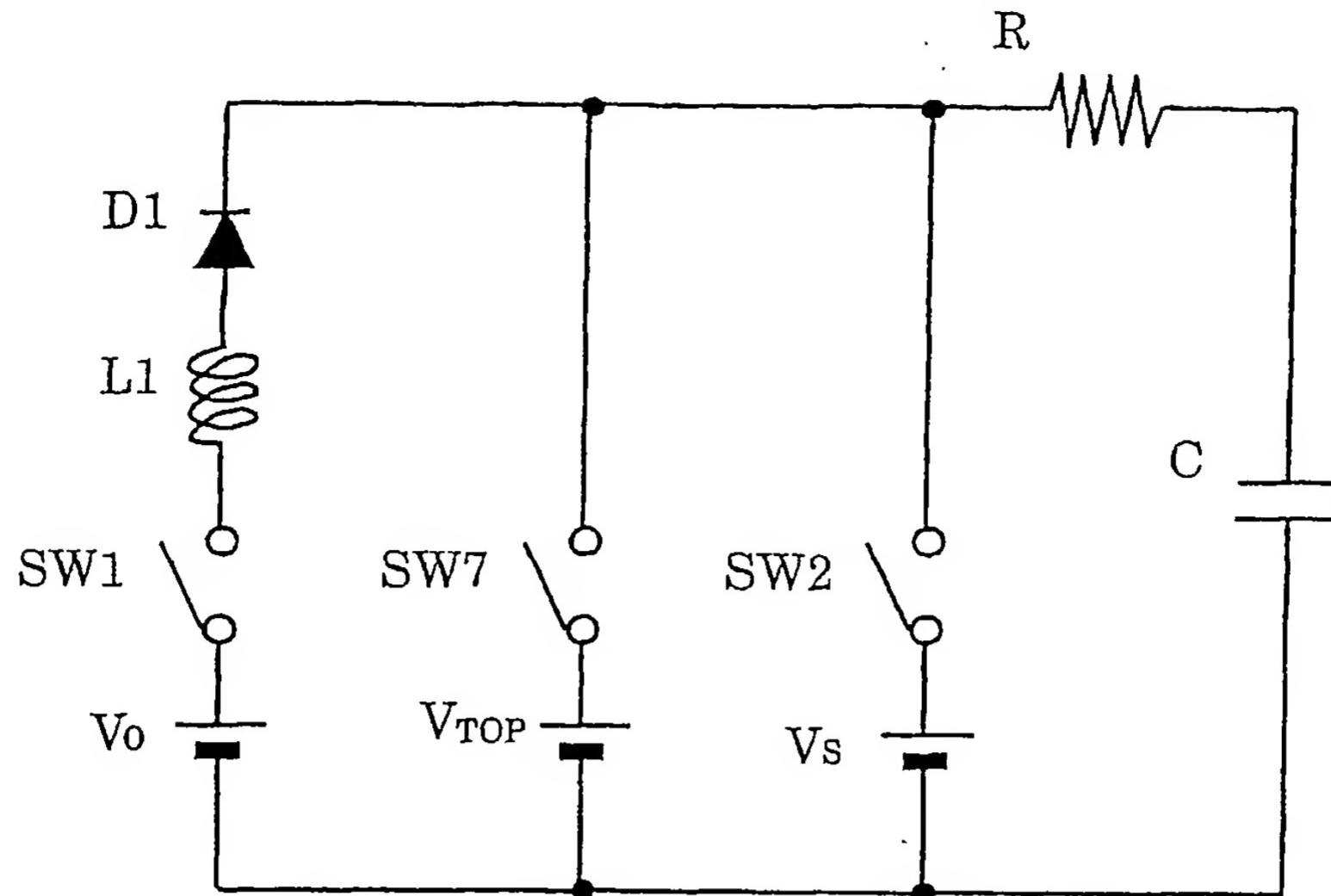


図25

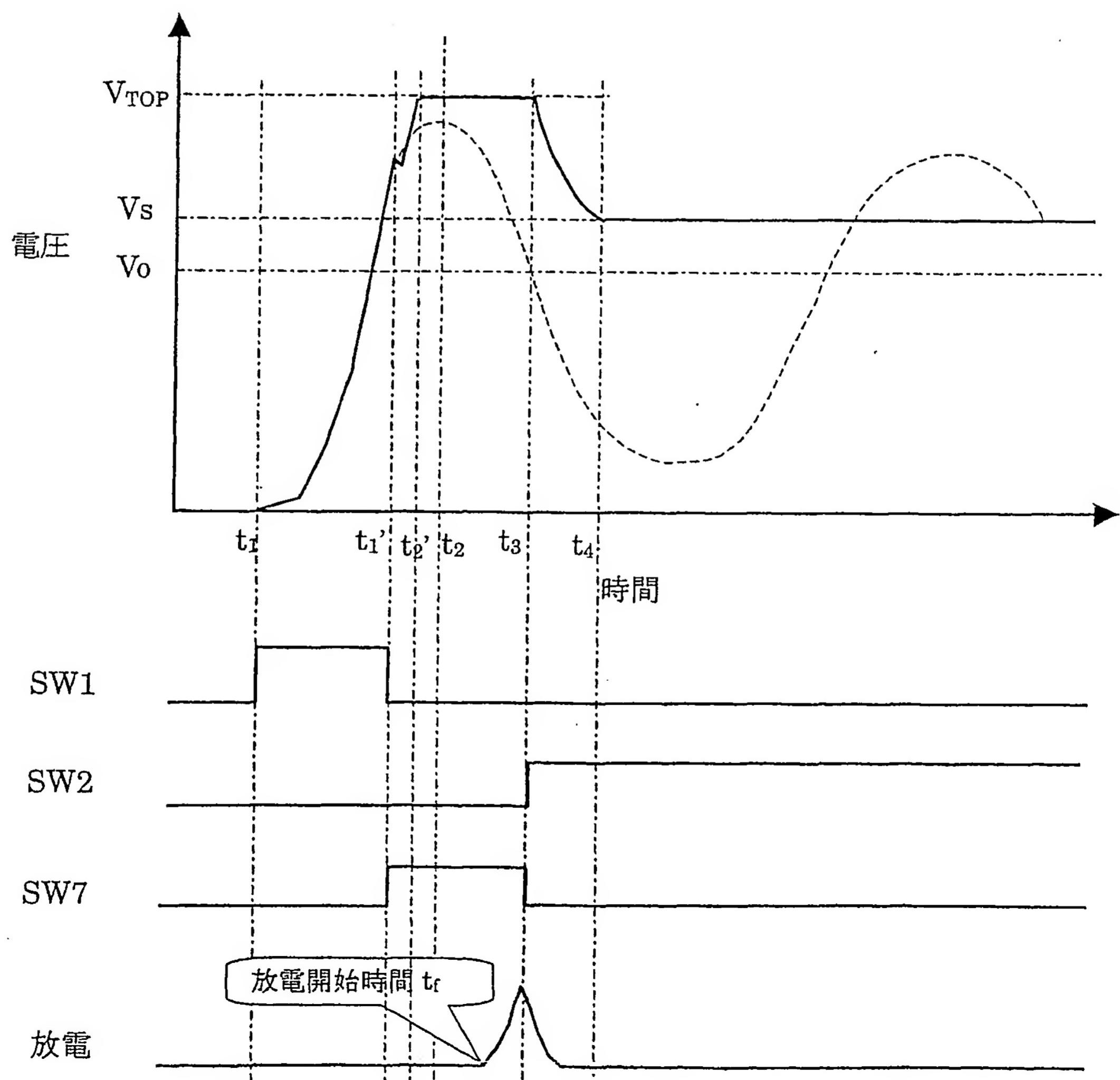


図26

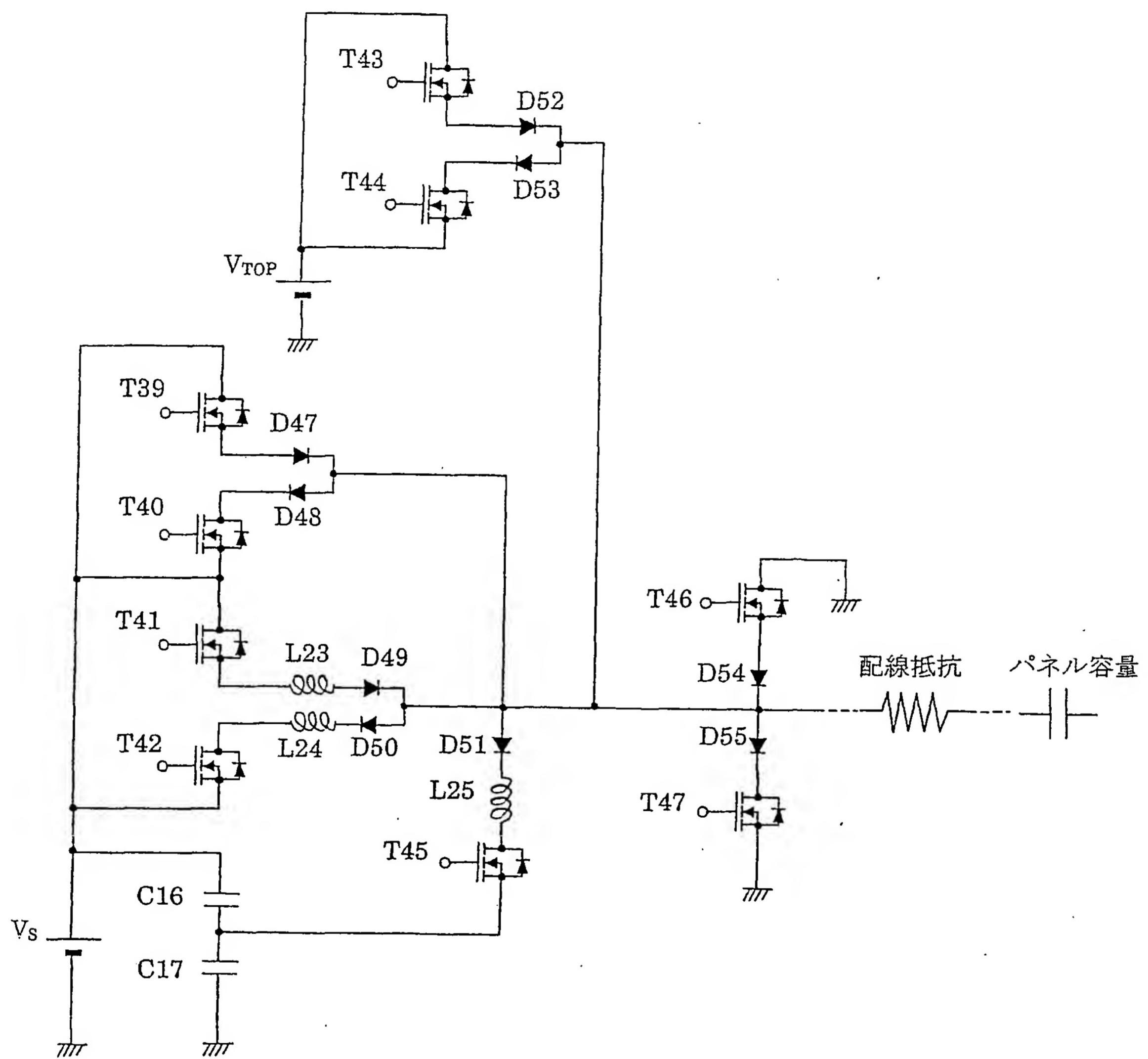


図 27

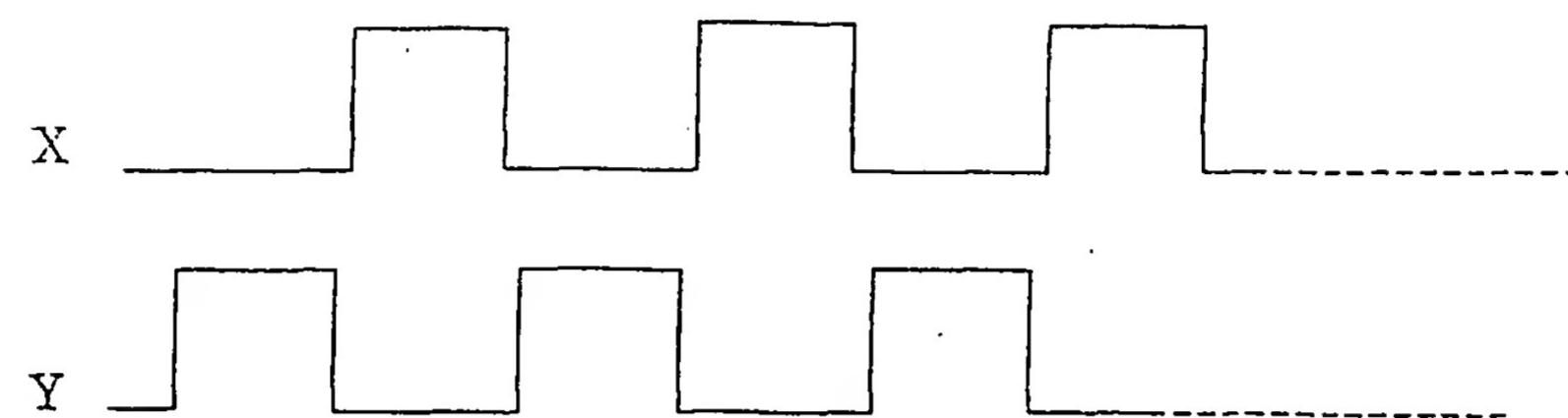


図 28

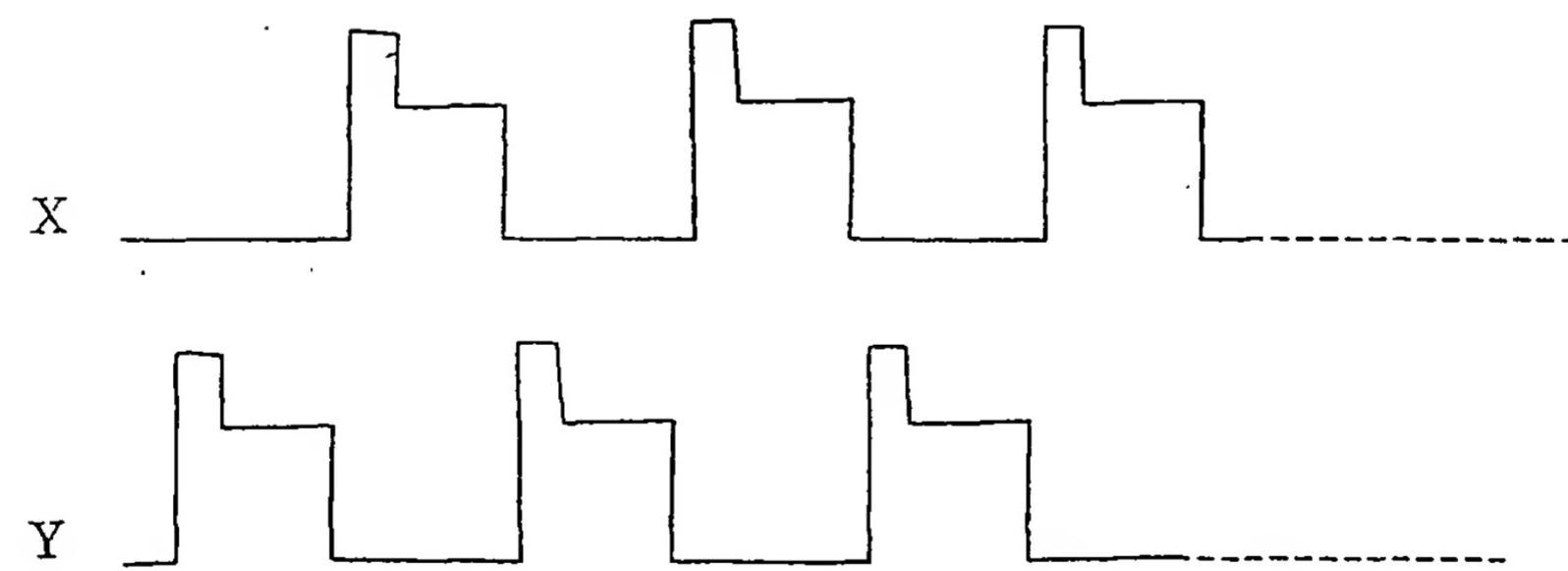


図 2 9

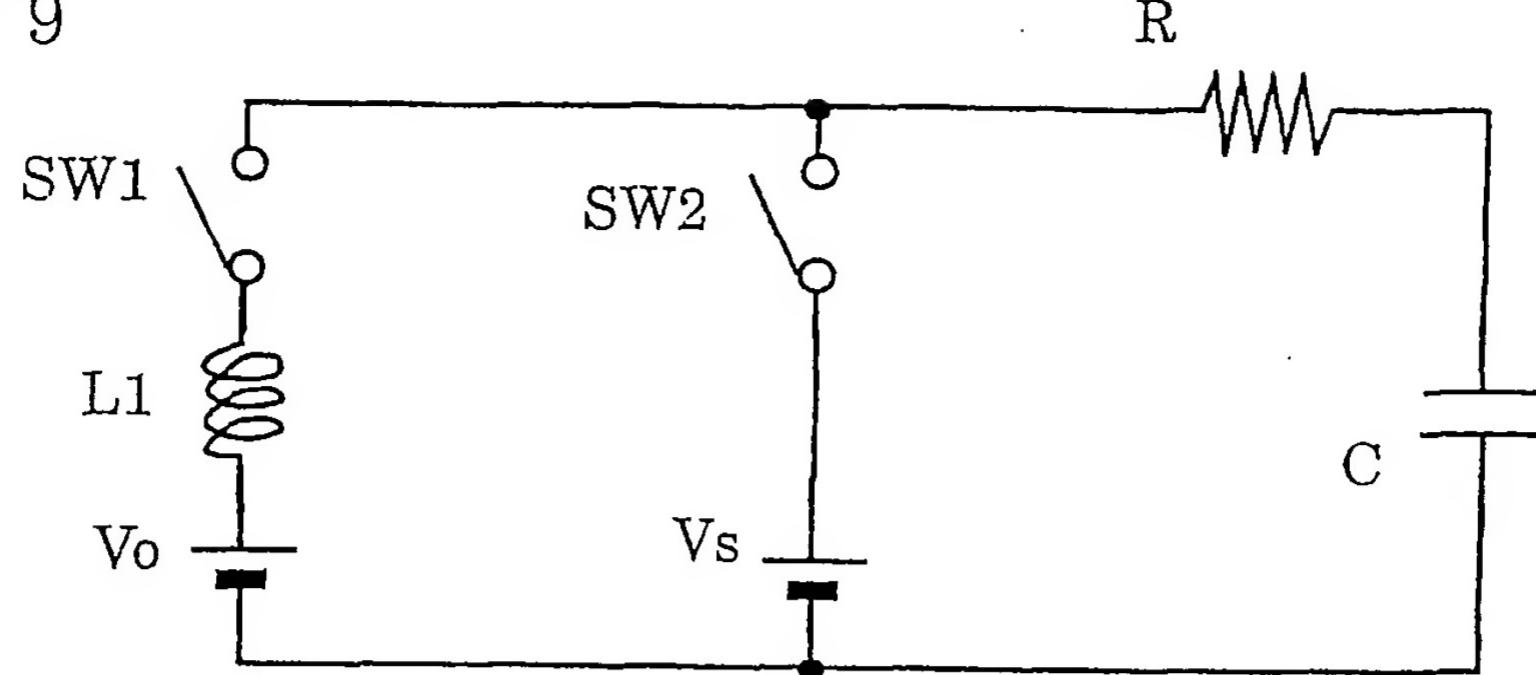


図 3 0

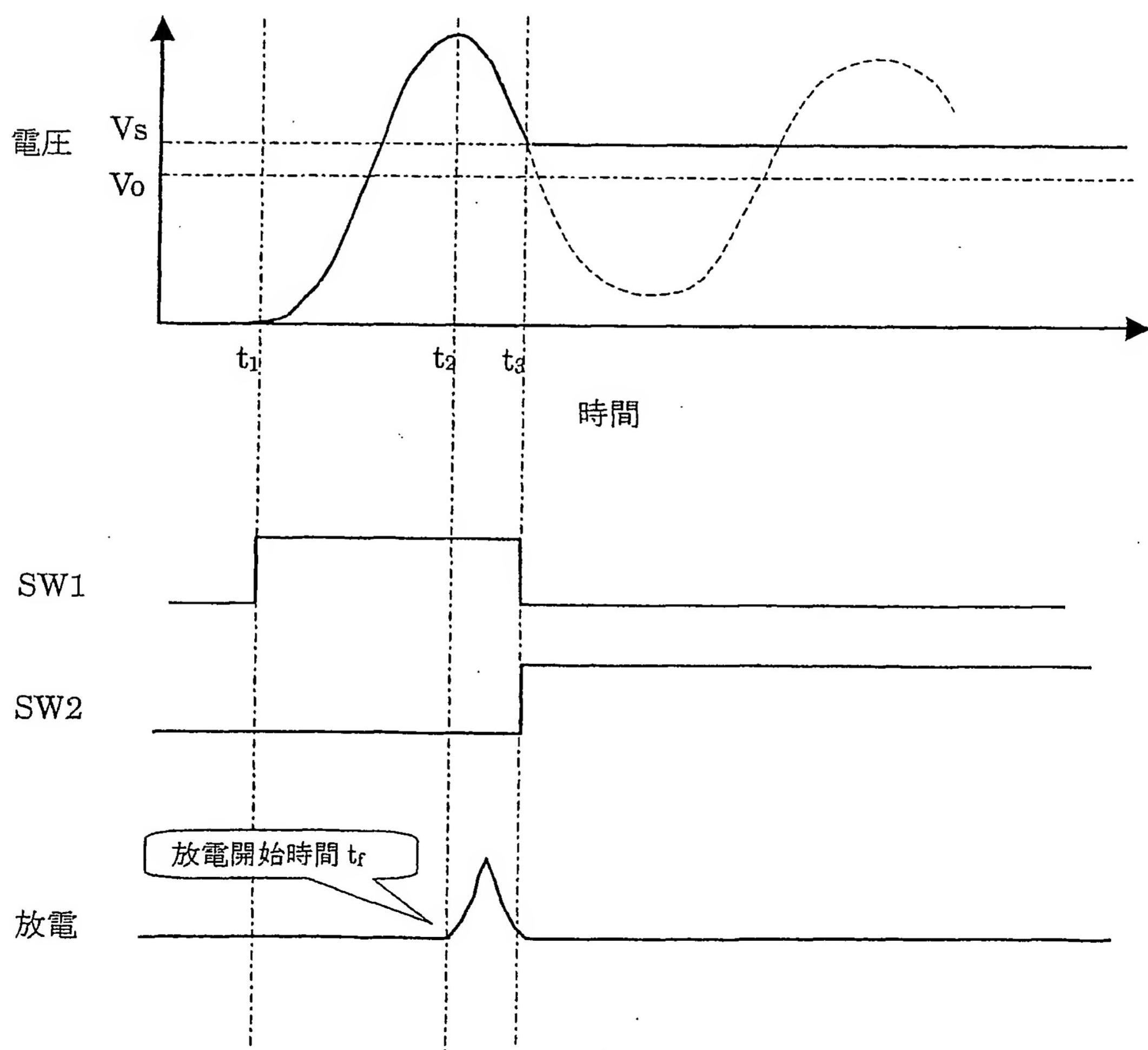


図 3 1

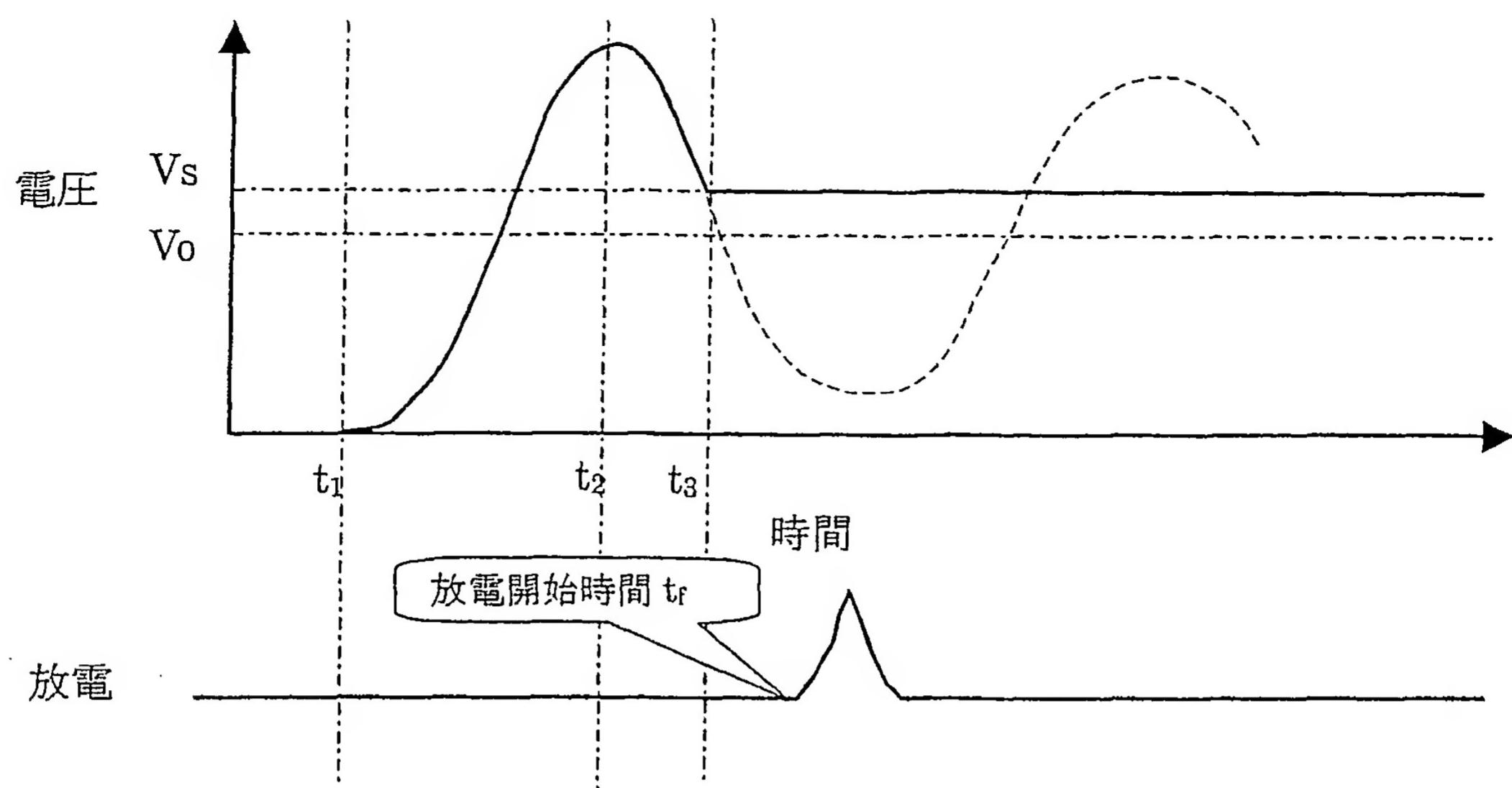


図 3 2

